

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-015591

(43)Date of publication of application : 19.01.2001

(51)Int.Cl.

H01L 21/762  
H01L 29/78

(21)Application number : 11-187053

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 30.06.1999

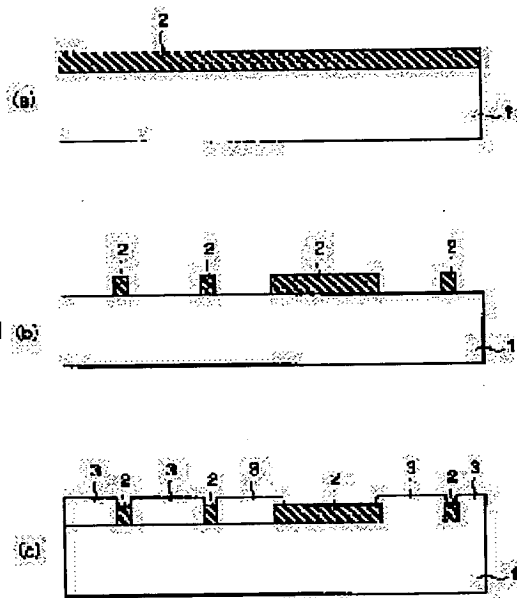
(72)Inventor : SUGURO KYOICHI  
MIYANO KIYOTAKA  
MIZUSHIMA ICHIRO  
TSUNASHIMA YOSHITAKA  
HIRAOKA TAKAYUKI  
ARIKADO TSUNETOSHI

## (54) MANUFACTURE OF SEMICONDUCTOR DEVICE AND SEMICONDUCTOR DEVICE

## (57)Abstract:

**PROBLEM TO BE SOLVED:** To suppress the characteristic variation of an element by partially exposing the surface of a semiconductor substrate and filling up openings, by selectively growing epitaxial layers by using the partial surfaces of the substrate exposed in the openings as growing crystals, and then, removing a semiconductor layer from the surfaces of epitaxial layers except the openings.

**SOLUTION:** On the surface of a single-crystal semiconductor substrate 1, a thermally oxidized film 2 is formed as an element separating insulating film. Then openings are opened through the film 2 by selectively removing the film 2 from the portions corresponding to element forming areas by using photo-etching and anisotropic etching. Thereafter, the openings are filled up by selectively growing epitaxial layers 3 on the silicon substrate 1 by using the partial surfaces of the substrate 1 exposed in the openings as growing crystals. In addition, a semiconductor layer formed on the surfaces of the epitaxial layers 3 is removed except the openings by etching the surfaces of the epitaxial layers 3 left in the element forming areas.



## LEGAL STATUS

[Date of request for examination] 24.01.2003

[Date of sending the examiner's decision of rejection] 22.06.2004

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection] 2004-15377

[Date of requesting appeal against examiner's decision of rejection] 22.07.2004

[Date of extinction of right]

Best Available Copy

Copyright (C); 1998,2003 Japan Patent Office

\* NOTICES \*

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.

2. \*\*\*\* shows the word which can not be translated.

3. In the drawings, any words are not translated.

---

CLAIMS

---

[Claim(s)]

[Claim 1] The manufacture approach of the semiconductor device characterized by to have the process which forms the semi-conductor layer of the thickness which is filled up with said opening with the process which forms an insulator layer on a semi-conductor substrate, the process at which opening is formed in said insulator layer and a part of front face of said semi-conductor substrate exposes, and the epitaxial growth which used this exposed part for the growth nucleus, and disturbs on said insulator layer, and the process which remove said semi-conductor layer of said opening outside.

[Claim 2] The process which forms a single crystal insulator layer on a semi-conductor substrate, and the process which forms a non-single crystal insulator layer on said single crystal

insulator layer, With the process at which opening is formed in said non-single crystal insulator layer, and a part of front face of said single crystal insulator layer is exposed, and the epitaxial growth which used this exposed part for the growth nucleus The manufacture approach of the semiconductor device characterized by having the process which forms the semi-conductor layer of the thickness which is filled up with said opening and disturbs on said non-single crystal insulator layer, and the process which removes said semi-conductor layer of said opening outside.

[Claim 3] The manufacture approach of the semiconductor device according to claim 1 or 2 characterized by having further the process which makes the top face of said semi-conductor layer of said opening circles lower than the effective area of said opening.

[Claim 4] The manufacture approach of the semiconductor device according to claim 3 characterized by making the top face of said semi-conductor layer in said opening lower than the effective area of said opening by etching alternatively said semi-conductor layer in said opening, or oxidizing the upper part of said semi-conductor layer in said opening, and removing this part that oxidized alternatively.

[Claim 5] The manufacture approach of the semiconductor device according to claim 3 characterized by having further

the process which heats said semi-conductor layer in an inert gas ambient atmosphere after the process which makes the front face of said semi-conductor layer of said opening circles lower than the effective area of said opening.

[Claim 6] Claim 1 characterized by removing said semi-conductor layer of said opening outside by chemical mechanical polish or mechanical polish, the manufacture approach of a semiconductor device according to claim 2 or 3.

[Claim 7] Claim 1 characterized by removing said semi-conductor film in the case of the process which forms the semi-conductor film on the whole surface after the process which forms said semi-conductor layer, and removes said semi-conductor layer of said opening outside, the manufacture approach of a semiconductor device according to claim 2 or 3.

[Claim 8] Said insulator layer is the manufacture approach of claim 1 which is the cascade screen of silicon oxide and the silicon nitride formed on this silicon film, and is characterized by forming a silicon layer as said semi-conductor layer after forming a silicon nitride in the side attachment wall of said opening, and a semiconductor device according to claim 2 or 3.

[Claim 9] The manufacture approach of the semiconductor device characterized

by to have the process which forms an insulator layer on a semi-conductor substrate, the process at which opening forms in said insulator layer and a part of front face of said semi-conductor substrate exposes, the process which form in said opening circles the semi-conductor layer of the thickness which does not reach the effective area of said opening with the epitaxial growth which used this exposed part for the growth nucleus, and the process which heat said semi-conductor layer in an inert-gas ambient atmosphere.

[Claim 10] Said inert gas ambient atmosphere is the manufacture approach of a semiconductor device given in any 1 term of claim 1 characterized by being an ambient atmosphere containing hydrogen, claim 2, and claim 9.

[Claim 11] The isolation insulator layer which it was embedded in the semiconductor region of a substrate, and the upper part projected above the front face of said semiconductor region, The semi-conductor layer of said semiconductor region detached by the isolation insulator layer by the component, The semiconductor device with which it comes to provide the MOS mold component formed in this semi-conductor layer, and the top-face location of said isolation insulator layer to said substrate is characterized by the thickness of the gate dielectric film of said MOS mold component being higher

than the top-face location of said semi-conductor layer to said substrate 3 or more times.

[Claim 12] The semiconductor device which comes to provide the MOS mold component formed in the semi-conductor layer and this semi-conductor layer of said semiconductor region detached by the isolation insulator layer which it was embedded in the semiconductor region of a substrate, and the upper part projected above the front face of said semiconductor region, and the isolation insulator layer by the component, and is characterized by for the top-face location of said semi-conductor layer to said substrate to be higher than the top-face location of said isolation insulator layer to said substrate 10nm or more.

---

## DETAILED DESCRIPTION

---

### [Detailed Description of the Invention]

[0001]

[Field of the Invention] This invention relates to the semiconductor device which has the description in the manufacture approach of a semiconductor device and component isolation construction which have the description in an isolation process.

[0002]

[Description of the Prior Art] In recent

years, many transistors, resistance, etc. are connected to the important parts of a computer or communication equipment so that an electrical circuit may be attained, and the large-scale integrated circuit (LSI) integrated and formed on 1 chip is used abundantly. For this reason, the engine performance of the whole device is connected as greatly as the engine performance of an LSI simple substance. The improvement in the engine performance of an LSI simple substance is realizable raising a degree of integration, i.e., detailed-izing of a component.

[0003] If detailed-ization of a component is the case of an MOS transistor, it is realizable with gate length's shortening and the lamination of a source drain diffusion layer.

[0004] As an approach of forming a shallow source drain diffusion layer, low acceleration ion-implantation is used widely. A shallow source drain diffusion layer 0.1 micrometers or less can be formed by this approach.

[0005] However, since the source drain diffusion layer formed with low acceleration ion-implantation in this way becomes the high value [ sheet resistance ] more than 100ohms / \*\*, the way things stand, the high acceleration by detailed-izing is not expectable.

[0006] So, in the device of which rapidity is required like Logic LSI, the Salicide technique of forming the silicide film in

the front face of a source drain diffusion layer and a gate electrode (polycrystalline silicon film with which the impurity was doped) in self align is used.

[0007] When forming the MOS transistor (thing using the polycrystalline silicon film with which it is the MOS transistor of the n channel formed in the same substrate, and a p channel, and n mold impurity was doped as a gate electrode of an n channel MOS transistor, and the polycrystalline silicon film with which p mold impurity was doped as a gate electrode of a p channel MOS transistor) of the dual gate, the Salicide technique not only attains resistance-ization of a gate electrode, but can attain reduction-ization of a routing counter.

[0008] The reason is that it sets like ion grouting for forming a source drain diffusion layer, and can dope the impurity of a predetermined conductivity type to a gate electrode (polycrystalline silicon film).

[0009] On the other hand, since it sets like ion grouting for forming a source drain diffusion layer and the mask of the polycrystalline silicon film is carried out by the metal silicide film when forming the MOS transistor of the dual gate using a polycide gate electrode (gate electrode which carried out the laminating of the metal silicide film, such as W silicide film, on the polycrystalline silicon film with which the impurity was doped), the impurity of a predetermined conductivity

type cannot be doped on the polycrystalline silicon film.

[0010] Therefore, it is necessary to dope the impurity of a predetermined conductivity type beforehand on the polycrystalline silicon film before formation of a source drain diffusion layer. That is, it becomes as separate a process like ion grouting for forming a source drain diffusion layer as ion grouting for doping the impurity of a predetermined conductivity type on the polycrystalline silicon film, and a routing counter increases.

[0011] Specifically, a photolithography process increases [ a resist removal process ] like ion grouting from the case of the Salicide technique twice, respectively.

[0012] It is indispensable that, carrying out accumulation formation of the component like the memory LSI, such as DRAM, on the other hand at high density adopts SAC (Self-Aligned Contact) structure in the device demanded.

[0013] The interlayer insulation film on one source drain diffusion layer (direction usually used as the source) is etched into the process which forms SAC structure by the RIE method, and there is a process which forms the contact hole to the above-mentioned source drain diffusion layer among them.

[0014] Even if it doubles with a contact hole and a gap occurs at this time, it is necessary to make it not exposed [ the

front face of a gate electrode (polycrystalline silicon film) ]. Therefore, the silicon nitride is beforehand formed as etching stopper film on the gate electrode.

[0015] If there is such a silicon nitride, it sets like ion grouting at the time of forming a source drain diffusion layer, and an impurity is no longer poured into a gate electrode. Therefore, the Salicide technique used by Logic LSI cannot be used for Memory LSI.

[0016] By the way, by Memory LSI, the gate electrode (polycrystal silicon-gate electrode) which consists of polycrystalline silicon film with which the impurity was doped is widely used from the former, and the polycide gate electrode is also used from the need for the reduction in resistance.

[0017] When the gate electrode of further low resistance is required, the poly metal gate electrode which comes to carry out the laminating of the metal membranes, such as polycrystalline silicon film with which the impurity was doped, barrier metal film, and W film, one by one is used. The poly metal gate electrode can realize desired sheet resistance by thinner thickness from resistance being low rather than a polycide gate electrode.

[0018] However, there are the following problems in the poly metal gate electrode. The dual gate structure mentioned above is used by Logic LSI. Therefore, like the case of a polycide gate electrode, if the

poly metal gate electrode is used by Logic LSI, it will be necessary to perform the process which carries out the ion implantation of the impurity to the polycrystalline silicon film of the poly metal gate electrode, and the process which carries out the ion implantation of the impurity to a silicon substrate in order to form a source drain diffusion layer at a respectively separate process. Therefore, a routing counter increases and a production cost goes up.

[0019] By the way, in LSI which made the logic IC and DRAM load together, if the silicide film is formed in the front face of the source drain diffusion layer of DRAM, the pn junction leakage current of a memory cell will become large, and the maintenance property of data will worsen. Moreover, in DRAM, since SAC structure is required as mentioned above, W polycide electrode is used.

[0020] On the other hand, in a logic IC, in order to pass the current of many in a low battery as possible, it is necessary to make low the threshold electrical potential difference of an MOS transistor. for that purpose -- the polycrystalline silicon film of the gate electrode of an n channel MOS transistor -- n mold impurities, such as P and As, -- doping -- n- a mold -- carrying out -- it of a p channel MOS transistor -- BF<sub>2</sub> etc. -- p mold impurity -- doping -- P+ It is necessary to consider as a mold.

[0021] As for high-performance-izing of a

transistor, it is inadequate just to form the source drain gate into low resistance, and it is also very important to make property dispersion of a transistor small. There is dispersion in a threshold electrical potential difference as one of the big causes of property dispersion.

[0022] If the threshold electrical potential difference of an MOS transistor is measured to the processing dimension (gate length) of the gate, the big fall of a threshold electrical potential difference will take place in a short channel field. For example, high-impurity-concentration:  $5 \times 10^{17} \text{cm}^{-3}$  of substrate high-impurity-concentration:  $5 \times 10^{17} \text{cm}^{-3}$ , gate oxidation thickness: 4.0nm, gate-width (w): 10micrometer, and a source drain diffusion layer, the junction depth of a source drain diffusion layer (xj): When the channel length dependency of a threshold electrical potential difference was investigated and channel length was set to 0.2 micrometers or less about the 0.15-micrometer n channel MOS transistor, it turned out that a threshold electrical potential difference falls rapidly.

[0023] Since the conductance of a channel is so high that gate length is short, I want to adopt an MOS transistor with more short gate length in an LSI circuit. However, since 50mV or more of threshold electrical potential differences changes only by 10-15nm of gate length

changing, if such gate length's short MOS transistor is adopted, dispersion in a threshold electrical potential difference will become easy to happen under the effect of dispersion in a processing dimension, dispersion of the thickness of gate oxide, dispersion of the impurity atom concentration profile of a source drain diffusion layer, etc. This becomes the big cause of a yield fall of LSI.

[0024] The configuration of the isolation insulator layer in a component field edge influences the degree of dispersion in a processing dimension greatly at dispersion in a threshold electrical potential difference. Generally STI (Shallow Trench Isolation) that separation between components performs isolation by depositing an oxide film all over a substrate in a high integrated circuit about 0.3 micrometers or less using a CVD method so that \*\*\*\* and it may be embedded for a trench (isolation slot) to a depth of 0.2-0.3 micrometers at a silicon substrate, and removing an oxide film [surplus / besides a trench] by chemical mechanical polish (CMP: Chemical Mechanical Polishing) is used.

[0025] CVD-SiO<sub>2</sub> of the former, TEOS / ozone system As the pad by the film is performed, it gets down and it is shown in drawing 24 (a), when the aspect ratio of the trench (isolation slot) formed in the silicon substrate 91 is one to about 1.5, it is possible to embed a trench with an



oxide film 92, without causing a void.

[0026] However, if the aspect ratio of a trench becomes high rather than 1.5 with detailed-izing of a component, it becomes difficult to embed the inside of a trench with an oxide film without a clearance, and as shown in drawing 24 (b), a void (\*\*) 93 will arise in the center section of the oxide film 92, and it will become an imperfect pad configuration.

[0027] If a void 93 arises, since moisture tends to be absorbed by the clearance, hygroscopicity will become high, and a component property will deteriorate. Furthermore, since there is dispersion in the degree of how to be able to do a void 93 or moisture absorption, a void 93 becomes the cause which causes dispersion in a component property.

[0028] In order to solve this, the embedding which used the HDP plasma TEOS is proposed. However, if an aspect ratio exceeds 2-2.5, the pad of an oxide film will become imperfect and the void 93 as shown in drawing 24 (b) also in this case will arise.

[0029] Substrate bias is impressed, if an oxide film 92 is formed etching the deposited oxide film, the lump configuration of an oxide film 92 will become good, but as shown in drawing 25, a crystal defect 94 arises on the substrate front face of a trench pars basilaris ossis occipitalis, and a component property deteriorates. Furthermore, since there is dispersion in extent of a crystal defect 94,

a crystal defect 94 becomes the cause which causes dispersion in a component property.

[0030] Moreover, in the case of STI explained by drawing 24 and drawing 25, since the etch rate of an oxide film (deposition insulator layer) 92 is quick, DIVOTTO 95 as shown in the edge of the trench upper part at drawing 26 arises in the wet etching processing by rare fluoric acid or diluted ammonium fluoride of the multiple times in the production process of LSI etc.

[0031] In this case, a gate electrode eats into DIVOTTO 95 and a transistor with a seemingly low threshold electrical potential difference (corner transistor) is formed here. Since the depth and the configuration of DIVOTTO 95 have a pattern dependency, the threshold electrical potential difference of a corner transistor becomes the cause of causing large dispersion and large dispersion of the threshold electrical potential difference of the MOS transistor of original [ this ], with gate width. Furthermore, if a corner transistor exists, as shown in drawing 27, a hump will arise, and a component property will deteriorate. Moreover, since the depth and the configuration of DIVOTTO 95 are uneven in a wafer side, they enlarge dispersion in a component property further.

[0032] Although the approach of inserting the thermal oxidation film 96 into the

interface of a component field and a component isolation region is performed as shown in drawing 28 in order to solve such a problem, when the thermal oxidation film 96 is made to intervene, extent becomes light, but since the etch rate of an oxide film 92 is large, as shown in drawing 28, retreat of oxide films 92 and 96 takes place in the trench upper part, and dispersion in a threshold electrical potential difference becomes a problem.

[0033] Moreover, as shown in drawing 29, an oxide film 92 is previously formed on a silicon substrate 91, then etching removes the oxide film 92 of the field corresponding to a component field, and the approach to which a component field is made to carry out selective growth of the silicon layer 97 is proposed with the epitaxial growth which used for the growth nucleus the substrate front face (Si) which appeared by etching next. However, by this approach, a facet 98 (slanting crystal face) is formed, a gate electrode eats into the part of a facet 98, and the same problem as the case of structure with DIVOTTO 95 shown in drawing 26 arises.

[0034]

[Problem(s) to be Solved by the Invention] Although isolation called STI was performed with the high integrated circuit like \*\*\*\*, when the aspect ratio of a trench (isolation slot) became high with detailed-izing of a component, it became

difficult to form the insulator layer of a good pad configuration in a trench, and there was a problem that a component property varied as the result.

[0035] This invention was made in consideration of the above-mentioned situation, and the place made into the purpose is to offer the manufacture approach of the semiconductor device whose isolation by STI which can control dispersion in a component property becomes possible. Moreover, other purposes of this invention are to offer the semiconductor device which has the MOS mold component by which dispersion in a component property was controlled.

[0036]

[Means for Solving the Problem]  
[Elements of the Invention] -- the manufacture approach of the semiconductor device concerning this invention (claim 1), in order to attain the account purpose of a top With the process which forms an insulator layer on a semi-conductor substrate, the process at which opening is formed in said insulator layer and a part of front face of said semi-conductor substrate is exposed, and the epitaxial growth which used this exposed part for the growth nucleus It has the process which forms the semi-conductor layer of the thickness which is filled up with said opening and disturbs on said insulator layer, and the process which removes said semi-conductor layer of said opening

outside.

[0037] Moreover, the manufacture approach of other semiconductor devices concerning this invention (claim 2) The process which forms a single crystal insulator layer on a semi-conductor substrate, and the process which forms a non-single crystal insulator layer on said single crystal insulator layer, With the process at which opening is formed in said non-single crystal insulator layer, and a part of front face of said single crystal insulator layer is exposed, and the epitaxial growth which used this exposed part for the growth nucleus It has the process which forms the semi-conductor layer of the thickness which is filled up with said opening and disturbs on said non-single crystal insulator layer, and the process which removes said semi-conductor layer of said opening outside.

[0038] Moreover, the manufacture approach of other semiconductor devices concerning this invention (claim 9) With the process which forms an insulator layer on a semi-conductor substrate, the process at which opening is formed in said insulator layer and a part of front face of said semi-conductor substrate is exposed, and the epitaxial growth which used this exposed part for the growth nucleus It has the process which forms in said opening circles the semi-conductor layer of the thickness which does not reach the effective area of said opening,

and the process which heats said semi-conductor layer in an inert gas ambient atmosphere.

[0039] Moreover, the semiconductor device concerning this invention (claim 11) The isolation insulator layer which it was embedded in the semiconductor region of a substrate, and the upper part projected above the front face of said semiconductor region, It has the semi-conductor layer detached by the isolation insulator layer by the component, and the MOS mold component formed in this semi-conductor layer. The thickness of the gate dielectric film of said MOS mold component has the top-face location of said isolation insulator layer to said substrate higher than the top-face location of said semi-conductor layer to said substrate 3 or more times.

[0040] Moreover, other semiconductor devices concerning this invention (claim 12) The isolation insulator layer which it was embedded in the semiconductor region of a substrate, and the upper part projected above the front face of said semiconductor region, It has the semi-conductor layer detached by the isolation insulator layer by the component, and the MOS mold component formed in this semi-conductor layer, and the top-face location of said semi-conductor layer to said substrate is higher than the top-face location of said isolation insulator layer to said substrate

10nm or more.

[0041] Since according to the manufacture approach of the semiconductor device concerning [operation] this invention (claims 1 and 2) epitaxial growth was carried out and it is filled up with opening by the semi-conductor layer, generating of a void leading to dispersion can be prevented. Since the above-mentioned semi-conductor layer is furthermore formed on the insulator layer of an opening outside so that it may disturb, the facet leading to dispersion in a component property does not arise. Therefore, the isolation by STI which can control dispersion in a component property becomes possible.

[0042] Moreover, since it is filled up with opening by the semi-conductor layer which carried out epitaxial growth according to the manufacture approach of the semiconductor device concerning this invention (claim 9), generating of a void leading to dispersion can be prevented. Here, although a facet is produced since the above-mentioned semi-conductor layer is formed so that the top face may become lower than the effective area of opening, the facet which the front face of a semi-conductor layer becomes flat, and causes dispersion in a component property by subsequent heat-treatment disappears. Therefore, the isolation by STI which can control dispersion in a component property becomes possible.

[0043] Moreover, if the difference of the top-face location of an isolation insulator layer and the top-face location of a semi-conductor layer (semi-conductor layer of a component field) in which the MOS mold component was formed is specified like the semiconductor device concerning this invention, dispersion in a component property, especially a threshold electrical potential difference can be effectively controlled so that it may explain in full detail by the term of the gestalt of operation.

[0044]

[Embodiment of the Invention] Hereafter, the gestalt (henceforth an operation gestalt) of operation of this invention is explained, referring to a drawing.

[0045] (1st operation gestalt) Drawing 1 and drawing 2 are the process sectional views showing the formation approach of the component isolation construction concerning the 1st operation gestalt of this invention.

[0046] First, as shown in drawing 1 (a), the thermal oxidation film 2 as an isolation insulator layer is formed on the silicon substrate 1 of a single crystal. As for the thermal oxidation for forming the thermal oxidation film 2, an ambient atmosphere 900 degrees C or more and the thermal oxidation film 2 with a consistency it is usually carried out in a steam / oxygen ambient atmosphere, and high by this and the slow etch rate to fluoric acid or ammonium fluoride are

obtained. The oxide film 2 with a more slow etch rate is obtained by oxidizing thermally under the high-pressure oxidizing atmosphere of ten or more atmospheric pressures.

[0047] Next, as shown in drawing 1 (b), using a photolithography and anisotropic etching, the thermal oxidation film 2 of the part corresponding to a component formation field is removed alternatively, and opening of the opening is carried out to the thermal oxidation film 2.

[0048] Here, reactive ion etching (RIE:Reactive Ion Etching) is used for anisotropic etching at exposure of a photoresist using KrF or an ArF excimer laser.

[0049] Next, the fluoric acid or ammonium fluoride which oxidized and diluted the contamination layer which consists of carbon and the fluorine on the front face of a substrate at the base of opening removes the natural oxidation film on the front face of a substrate at the base of opening. Then, heat treatment in the gas ambient atmosphere containing hydrogen removes the natural oxidation film on the front face of a substrate at the base of opening further.

[0050] Next, as shown in drawing 1 (c), the exposed substrate front face is used for a growth nucleus (seed), and selective growth of the epitaxial layer 3 is carried out on a silicon substrate 1. Selective growth of the epitaxial layer 3 is carried out so that it may be thicker than the

thermal oxidation film 2 and may disturb on the thermal oxidation film 2.

[0051] An epitaxial layer 3 is a silicon layer, a silicon germanium layer (alloy film with which germanium dissolved by 10 - 90% of density range to silicon), or a germanium layer.

[0052] As source gas of silicon, a dichloro silane is usually used. Moreover, when a residual steam partial pressure and oxygen tension use the membrane formation equipment of 10 to 9 or less Torr, a mono silane, a disilane, or trishiran may be used.

[0053] As source gas of germanium, germane ( $\text{GeH}_4$ ) or 4 fluoridation germane ( $\text{GeF}_4$ ) is used. Any combination of source gas is possible for formation of the silicon germanium film, and the combination of a mono silane and germane is usually used.

[0054]  $\text{HCl}$  may be added in order to perform selective growth certainly. Epitaxial growth temperature should just form membranes under desired conditions by the class of gas used by within the limits from 700 degrees C to 1100 degrees C, and the thickness and membraneous quality to deposit.

[0055] Next, as shown in drawing 2 (d), by CMP or mechanical polish (MP:Mechanical Polishing), the surplus exterior [ of opening of the thermal oxidation film 2 ] epitaxial layer 3 is removed, and flattening of the front face is carried out.

[0056] Next, as shown in drawing 2 (e), about 10 - 50nm of front faces of the epitaxial layer 3 which remained in the component formation field is etched, and the crystal damage layer formed in the front face of an epitaxial layer 3 at the process of drawing 2 (d) is removed. Consequently, the front face of an epitaxial layer 3 comes to be located below the front face of the thermal oxidation film 2.

[0057] The above-mentioned etching is the wet etching which used the liquid which diluted with an acetic acid or pure water the liquid with which the nitric acid was made to mix 10% or less of fluoric acid, when epitaxial layers 3 are a silicon layer and a silicon germanium layer.

[0058] Moreover, they are the wet etching using the liquid which diluted with an acetic acid or pure water the liquid with which the nitric acid was made to mix 10% or less of fluoric acid in the case of the germanium layer, or the wet etching using a sulfuric acid (it carries out, as soon as it will dilute with heating or water, if there is need, and an etch rate is controlled.).

[0059] Finally, by heat treatment in the ambient atmosphere containing hydrogen, while carrying out flattening of the front face of an epitaxial layer 3 on atomic layer level, distortion of the interface of the thermal oxidation film 2 and an epitaxial layer 3 is eased, and an

interface-state-density consistency is reduced to about  $[5 \times 10^{10} \text{cm}^{-2}]$  or less. After this, the process which forms a desired semiconductor device, for example, an MOS transistor, in an epitaxial layer 3 continues as usual.

[0060] As stated above, generating of a void which causes dispersion since it is filled up with opening by the epitaxial layer 3 according to this operation gestalt can be prevented, and since it forms so that an epitaxial layer 3 may be further disturbed on the thermal oxidation film 2 of an opening outside, generating of a facet leading to dispersion can also be prevented. Therefore, according to this operation gestalt, even if it advances detailed-ization of a component, component isolation construction which can control dispersion in a component property effectively can be realized.

[0061] In addition, although it was made for the front face of an epitaxial layer 3 to be located below the front face of the thermal oxidation film 2 with this operation gestalt, you may be the height with the conversely lower or front face of the thermal oxidation film 2, and the same both. What is necessary is just to choose final component isolation construction suitably, since the void and facet leading to property dispersion can be prevented if the surplus epitaxial layer 3 is removed after carrying out selective growth so that it may be thicker than the thermal oxidation film 2 and an epitaxial

layer 3 may be disturbed on the thermal oxidation film 2 in short.

[0062] (2nd operation gestalt) Drawing 3 is the process sectional view showing the formation approach of the component isolation construction concerning the 2nd operation gestalt of this invention. In addition, the same sign as drawing 1 and drawing 2 is given to drawing 1 and drawing 2, and a corresponding part, and detailed explanation is omitted.

[0063] First, the process shown in drawing 1 (a) - drawing 1 (c) is performed.

[0064] Next, as shown in drawing 3 (a), in order to make a front face flat, the silicon film 4 is formed in the whole surface. The silicon germanium film or the germanium film may be formed instead of the silicon film 4.

[0065] Next, as shown in drawing 3 (b), CMP or MP removes the external silicon film 4 and external epitaxial layer 3 of opening of the thermal oxidation film 2, and a front face is made flat. Here, although the thickness of an epitaxial layer 3 has the pattern dependency of changing by the difference in the dimension of opening of the thermal oxidation film 2, or the difference in a consistency, since the front face is flat with the silicon film 4, a pattern dependency is improved and the surface smoothness of the front face of the back, such as CMP, becomes high enough. The next process is the same as the process of drawing 2 (e) of the 1st operation gestalt

or subsequent ones.

[0066] (3rd operation gestalt) Drawing 4 and drawing 5 are the process sectional views showing the formation approach of the component isolation construction concerning the 3rd operation gestalt of this invention. This operation gestalt is the example which applied the 1st operation gestalt to the SOI substrate.

[0067] First, as shown in drawing 4 (a), it is  $\text{CeO}_2$ , YSZ (Yttrium Stabilized Zirconia), and  $\text{CaF}_2$  on the silicon substrate 11 of a single crystal. Or after forming the single crystal insulator layer 12 which consists of insulating materials, such as a diamond, the oxide film 13 as an isolation insulator layer is formed on the single crystal insulator layer 12.

[0068] After it forms an oxide film 13 by thermal oxidation by the oxidizing atmosphere 900 degrees C or more or it carries out deposition formation, it is formed by performing overheating of 900 degrees C or more. By such approach, the oxide film 13 with a slow etch rate to fluoric acid or ammonium fluoride is obtained. In order to obtain the oxide film 13 with a still slower etch rate, it is good to oxidize thermally under the high-pressure oxidizing atmosphere of ten or more atmospheric pressures.

[0069] Next, as shown in drawing 4 (b), using a photolithography and anisotropic etching, the oxide film 13 of the field corresponding to a component formation field is removed alternatively, and

opening of the opening is carried out to an oxide film 13. RIE is used for anisotropic etching at exposure of a photoresist using KrF or an ArF excimer laser.

[0070] Next, heat treatment in the gas ambient atmosphere which removes the natural oxidation film of the front face of the single crystal insulator layer 12 at the base of opening and contains hydrogen continuously by the fluoric acid or ammonium fluoride which oxidized and diluted the contamination layer which consists of surface carbon and the surface fluorine of the single crystal insulator layer 12 removes the natural oxidation film of the front face of the single crystal insulator layer 12 at the base of opening further.

[0071] Next, as shown in drawing 4 (c), the front face of the exposed single crystal insulator layer 12 is used for a growth nucleus (seed), and selective growth of the epitaxial layer 14 is carried out. Selective growth of the epitaxial layer 14 is carried out so that it may be thicker than an oxide film 13 and may disturb on an oxide film 13.

[0072] An epitaxial layer 14 is a silicon layer, a silicon germanium layer (alloy film with which germanium dissolved by 10-90% of density range to silicon), or a germanium layer.

[0073] As source gas of silicon, a dichloro silane is usually used. Moreover, when a residual steam partial pressure and

oxygen tension use the membrane formation equipment of 10 to 9 or less Torr, a mono silane, a disilane, or trishiran may be used.

[0074] As source gas of germanium, germane ( $\text{GeH}_4$ ) or 4 fluoridation germane ( $\text{GeF}_4$ ) is used. Any combination of source gas is possible for formation of the silicon germanium film, and the combination of a mono silane and germane is usually used.

[0075] HCl may be added in order to perform selective growth certainly. Epitaxial growth temperature should just form membranes under desired conditions by the class of gas used by within the limits from 700 degrees C to 1100 degrees C, and the thickness and membraneous quality to deposit.

[0076] Next, as shown in drawing 5 (d), with CMP or MP, the surplus exterior [ of opening of an oxide film 13 ] epitaxial layer 14 is removed, and flattening of the front face is carried out.

[0077] Next, as shown in drawing 5 (e), about 10-50nm of front faces of the epitaxial layer 14 which remained in the component formation field is etched, and the crystal damage layer produced on the front face of an epitaxial layer 14 at the process of drawing 5 (d) is removed. Consequently, the front face of an epitaxial layer 14 comes to be located below the front face of an oxide film 13.

[0078] The above-mentioned etching is the wet etching which used the liquid



which diluted with an acetic acid or pure water the liquid with which the nitric acid was made to mix 10% or less of fluoric acid, when epitaxial layers 14 are a silicon layer and a silicon germanium layer.

[0079] Moreover, they are the wet etching using the liquid which diluted with an acetic acid or pure water the liquid with which the nitric acid was made to mix 10% or less of fluoric acid in the case of germanium, or the wet etching using a sulfuric acid (it carries out, as soon as it will dilute with heating or water, if there is need, and an etch rate is controlled.).

[0080] Lastly, by heat treatment in the ambient atmosphere containing hydrogen, while carrying out flattening of the front face of an epitaxial layer 14 on atomic layer level, distortion of the interface of an oxide film 13 and an epitaxial layer 14 is eased, an interface-state-density consistency is reduced to about  $[5 \times 10^{10} \text{cm}^{-2} \text{ or less}]$ , and component isolation construction is completed. After this, the process which forms a desired semiconductor device, for example, an MOS transistor, in an epitaxial layer 14 continues as usual.

[0081] In addition, at the process of drawing 4 (c), in order to improve the pattern dependency of the thickness of an epitaxial layer 13, the silicon film etc. may be formed in the whole surface like the 2nd operation gestalt.

[0082] Even if it can prevent generating

of a void and a facet which becomes the 1st operation gestalt and the cause of dispersion similarly, therefore advances detailed-ization of a component also with this operation gestalt, component isolation construction which can control dispersion in a component property effectively can be realized. Furthermore, according to this operation gestalt, isolation in a SOI substrate can be easily performed now rather than before.

[0083] (4th operation gestalt) Drawing 6 · drawing 9 are the process sectional views showing the manufacture approach of the MOS transistor concerning the 4th operation gestalt of this invention.

[0084] First, as shown in drawing 6 (a), the thermal oxidation film 22 with a thickness of about 200-300nm is formed by thermal oxidation on the silicon substrate 21 of a single crystal. After thermal oxidation, they are NO, N<sub>2</sub>O, and NH<sub>3</sub>. Or a field with a depth of about at least 10-20nm may be changed into the SiNO film etc. from the front face of the thermal oxidation film 22 using a nitrogen radical etc.

[0085] Next, as shown in this drawing (a), a photolithography and anisotropic etching are used like the 1st operation gestalt. Remove alternatively the thermal oxidation film 22 of the field corresponding to a component formation field, and then are thicker than the thermal oxidation film 22. And selective growth of the epitaxial layer 23 is carried

out so that it may disturb on the thermal oxidation film 22, and next, like the 2nd operation gestalt, in order to improve the pattern dependency of the thickness of an epitaxial layer 23, the silicon film 24 is formed in the whole surface.

[0086] An epitaxial layer 23 is a silicon layer, a silicon germanium layer, or a germanium layer. The silicon germanium film or the germanium film may be formed instead of the silicon film 24.

[0087] Next, as shown in drawing 6 (b), CMP or MP removes the external silicon film 24 and external epitaxial layer 23 of opening of the thermal oxidation film 22, and a front face is made flat.

[0088] in order [ then, ] to improve the crystallinity of the front face of an epitaxial layer 23 -- the temperature of 800 degrees C or more -- it heat-treats in a hydrogen ambient atmosphere with a temperature of 900 degrees C or more preferably. Si atom moves on a front face, flattening is carried out on atomic level by such heat treatment, and crystallinity is improved by it.

[0089] If the approach described above is used, a component field (epitaxial layer 23) and a component isolation region (thermal oxidation film 22) can be easily formed by separation width of face of 0.15 micrometers or less (with the conventional approach, about 0.18 micrometers is a limitation).

[0090] As it is the production process of an MOS transistor and is first shown in

drawing 6 (c) after this, the thermal oxidation film 25 with a thickness of about 3-10nm is formed on an epitaxial layer 23.

[0091] Next, as shown in drawing 7 (d), the dummy gate film 26 of the same pattern as a gate electrode is formed on the thermal oxidation film 25. The dummy gate film 26 is formed by processing this into the dummy gate film 26 by anisotropic etching using the cascade screen (SiN/a-Si film) of a silicon nitride and the amorphous silicon film.

[0092] Here, the film of the upper layer of the dummy gate film 26 is not limited to a silicon nitride, and should just use the film with which a polish rate becomes slow rather than an interlayer insulation film 30 in the flattening process by polish of the interlayer insulation film 30 of a back process ( drawing 7 R> 7 (f) ).

[0093] Moreover, the lower layer film of the dummy gate film 26 is not limited to the amorphous silicon film, and should just use the film with an etch rate quicker than the thermal oxidation film 25. Specifically what is necessary is just the film of Si systems, such as polycrystalline silicon film.

[0094] Next, as shown in this drawing (d), the thermal oxidation film 25 and the dummy gate film 26 are used as a mask, an impurity is introduced into a substrate front face using the impurity introducing methods, such as an ion implantation, plasma doping, or gaseous-phase

diffusion, and the extension field (LDD) 27 of a source drain field is formed.

[0095] 800-1000 degrees C and heat treatment for 30 or less seconds perform electric activation of the above-mentioned impurity using RTA (Rapid Thermal Annealing) in which the programming rate 100 degrees C / more than sec is possible.

[0096] Next, as shown in drawing 7 (e), the gate side-attachment-wall insulator layer 28 which consists of a silicon nitride or a silicon nitriding oxide film with a thickness of about 5-30nm is formed by the so-called side-attachment-wall remnants. It is desirable for the oxide film with a thickness of 10nm or less to intervene between the gate side-attachment-wall insulator layer 28 and the dummy gate film 26 so that the gate side-attachment-wall insulator layer 28 may not retreat in a longitudinal direction at the time of the removal process of the dummy gate film 26 of a back process.

[0097] Next, as shown in this drawing (e), using the impurity introducing methods, such as an ion implantation, plasma doping, or gaseous-phase diffusion, an impurity is introduced into a substrate front face and the field 29 where a source drain field is deep is formed in it. 800-900 degrees C and heat treatment for 30 or less seconds perform electric activation of the above-mentioned impurity using RTA in which the programming rate 100

degrees C / more than sec is possible.

[0098] In order to raise the concentration of the activated impurity, 1000 degrees C or more and heat treatment for 1 or less second may be performed using the laser, mercury lamp, or KISENO lamp which has the wavelength of an electron beam or an ultraviolet region. Electric activation of the impurity in the process of drawing 7 (d) may be performed at this process.

[0099] Then, as shown in this drawing (e), the interlayer insulation film 30 thicker than the dummy gate film 26 is deposited on the whole surface with a CVD method. SiO<sub>2</sub> which can make a polish rate here quicker enough than the silicon nitride which is film of the upper part of the dummy gate film 26 as an interlayer insulation film 30 The film is used.

[0100] Next, an interlayer insulation film 30 is ground by CMP, and a front face is made flat until the front face of the dummy gate film 26 is exposed, as shown in drawing 7 (f).

[0101] Next, as shown in drawing 8 (g), after etching which combined isotropic etching and anisotropic etching removes the dummy gate film 26, etching removes the thermal oxidation film 25 so that a crystal defect may not be formed in an epitaxial layer 23, and opening 31 is formed.

[0102] Next, as shown in drawing 8 (h), the ion 32 of B, Ga, In, P, As, or Sb is injected into the base of opening 31, and

the channel impurity doping layer 33 is formed.

[0103] As for this ion implantation, it is desirable to carry out at low temperature. An ion implantation is performed specifically cooling a silicon substrate 21 so that -60 degrees C or less may turn into -100 degrees C or less desirably in substrate temperature.

[0104] If an ion implantation is performed at such low temperature, since grouping of an atomic hole can be controlled, a crystal defect is completely recoverable with heat treatment. As for an impregnation include angle, it is desirable that it is less than 5 degrees from a perpendicular or a perpendicular to the front face of a silicon substrate 21.

[0105] As for heat treatment for activation of the above-mentioned impurity, it is desirable to lengthen a heat treatment room to a vacuum once, or to fully pass inert gas, such as N or Ar, and to start heat treatment in the condition that oxidizers, such as oxygen, a steam, and a carbon dioxide, do not mix in the heat treatment interior of a room. The sectional view after heat treatment is shown in drawing 8 (i).

[0106] Then, the oxide film with a thickness of 1nm or less which is not illustrated is formed in the front face of the epitaxial layer 3 of the base of opening 31 by dry processing according the wet processing by the water solution containing hydrogen peroxide solution

and ozone water, an oxygen radical, or ozone to business.

[0107] next, it is shown in drawing 4 (j) -- as -- the front face (a base and side face) of opening 31 -- a wrap -- like -- Ta 2O<sub>5</sub>, TiO<sub>2</sub>, BSTO, or CeO<sub>2</sub> etc. -- SiO<sub>2</sub> The gate dielectric film 34 with a thickness of about 1-20nm which consists of an insulating material with high specific inductive capacity is formed.

[0108] If the thickness of gate dielectric film 34 exceeds 20nm, the rate of the gate dielectric film 34 occupied in opening 31 becomes large too much, gate resistance will become large or control of the carrier of the channel section by gate voltage, i.e., control of a threshold electrical potential difference, will become difficult.

[0109] When forming gate dielectric film 34 with a CVD method, in order to prevent ununiformity growth, it is good to remove scaling film, such as natural oxidation film and chemical oxide film, and to make oxygen adsorb by one to 2 atomic layer before formation of gate dielectric film 34 next, or to form a Si-O binder course. then, a CVD method -- Ta 2O<sub>5</sub>, TiO<sub>2</sub>, BSTO, or CeO<sub>2</sub> etc. -- the gate dielectric film 34 which consists of a high dielectric constant insulating material is formed. Moreover, SiO<sub>x</sub> Ny with a thickness of about 2-3nm The film may be deposited or the front face of the oxide film which does not carry out [ above-mentioned ] illustration may be nitrided using a nitrogen radical etc. at

the temperature of 500 degrees C or less.  
 [0110] moreover, SiO<sub>x</sub> Ny 1nm or less a layer top -- the above [ TiO / Ta and / 2 ] 2O5 etc. -- a high dielectric constant insulator layer may be formed.

[0111] Next, as shown in this drawing (j), the conductive thin film 35 which has the metal conductivity which determines the work function of the gate, for example, the TiN film with a thickness of 10nm or less, is formed on gate dielectric film 34.

[0112] At this time, membrane formation conditions, such as a presentation of TiN, deposition temperature, and a pressure, are set up so that the diameter of crystal grain of the TiN film 35 may be set to 30nm or less. With this operation gestalt, the ratio of Ti and N controls the division ratio of Ar and N by temperature of 300 degrees C or less so that N becomes superfluous rather than 1:1, the TiN film is formed by the spatter, and the TiN film 35 is formed by adding 30% or less of oxygen on this TiN film.

[0113] By making concentration of the oxygen to add 10% from 1%, it becomes possible to set the diameter of crystal grain of the TiN film 35 to 10nm or less. If an oxygen density is made to increase more than this, since electric conductivity falls and it stops showing metallic conduction, it is required to make it less than [ it ].

[0114] Moreover, B (boron) and C (carbon) are added on the TiN film in addition to oxygen, and it is possible to make the

diameter of crystal grain smaller than the additive-free TiN film, and it can be made amorphous by 10-30% of B, or addition of C.

[0115] Ti target which contains B or C as a spatter target, using the compound gas which contains B and C in case addition of B or C carries out the spatter of the TiN, for example, a boron hydride, a carbon hydride, B fluoride, or C fluoride -- the inside of the mixed gas of Ar and N -- formation -- it is possible by carrying out the spatter of the TiN target which carries out a spatter or contains B or C by Ar. It is possible by adding impurities, such as O, B, and C, to TiN, and controlling the presentation of TiN to set a work function as 4.5eV or less.

[0116] Moreover, TiCl<sub>4</sub> NH<sub>3</sub> Using the used CVD method, at the temperature of 600 degrees C or less, the ratio of Ti and N may form [ N ] membranes rather than 1:1 so that it may become superfluous. When it is made temperature higher than 600 degrees C, the irregularity of the front face of the TiN film becomes remarkably large, and it becomes impossible to form a low resistance metal membrane on it at homogeneity.

[0117] Moreover, you may microcrystal-ize using the approach of adding 30% or less of oxygen like the TiN film formed by the spatter. The concentration of the oxygen to add is 1 - 10% of range desirably, and it becomes possible to set the diameter of crystal

grain to 30nm or less with such an amount of oxygen. If thickness is set to about 10nm or less, it is possible to control the diameter of crystal grain to 10nm or less.

[0118] Moreover, dimethylamino titanium ( $\text{Ti}\{\text{N}(\text{CH}_3)_2\}_4$  and dimethylamino titanium ( $\text{Ti}\{\text{N}(\text{CH}_3)_2\}$  the TiN film and the TiCN film may be formed using a pyrolysis or the plasma in the ambient atmosphere which contains hydrogen for 4.))

[0119] When more than 50micro ohm-cm is sufficient as the specific resistance of a gate electrode, all gate electrodes may be formed by the TiN film. In this case, since thickness needs to form the TiN film 50nm or more, it is required pillar-shaped or to be the film or amorphous film which has a stacking tendency with needle crystal.

[0120] As electrode materials other than TiN, there are metal nitrides, such as Ta nitride, Nb nitride, Zr nitride, and Hf nitride, or metallic carbide, metal boride, a metal-Si nitride, metal-Si carbide, a graphitized carbon nitride, etc., for example.

[0121] Desirably, for the thermal stability of the conductive thin film and gate dielectric film 34 which consist of these electrode materials and which have the metal conductivity which determines the work function of the gate, it is effective to add oxygen within limits to which conductivity is not reduced 50% or more.

Moreover, these electrode materials are excellent also in the thermal stability of an interface with Ta oxide, Ti oxide, Zr oxide, Hf oxide, and Ce oxide.

[0122] Finally, as shown in drawing 9 (k), pad formation of the gate electrode 36 is carried out into opening 36, and an MOS transistor is completed. As the one formation approach of the gate electrode 36, aluminum film is formed in the whole surface by the spatter, the inside of opening 31 is filled up with aluminum film by the reflow, and there is an approach CMP or MP removes surplus aluminum film, the gate dielectric film 34, and the TiN film 35 besides opening 31. After depositing a metal membrane with low specific resistance, such as W film, on the whole surface with a CVD method as other approaches so that it may be filled up with the inside of opening 31, there is an approach CMP or the object for MP removes the above-mentioned surplus metal membrane, the gate dielectric film 34, and the TiN film 35 besides opening 31.

[0123] When a source drain field needs to be formed into low resistance, it is  $\text{CoSi}_2$  between the process of drawing 7 (d), and the process of drawing 7 (e). A layer or  $\text{TiSi}_2$  It is good to add the process which forms metal silicide layers, such as a layer, in the front face of a source drain field.

[0124] Here, when the depth of the source drain field 29 is 100nm or less, it is

desirable to keep away 5nm or more of epitaxial layers 23 which are made to carry out epitaxial growth of a silicon layer, a silicon germanium layer, or the silicon germanium carbon layer on the source drain field 29, and are eaten away in a metal silicide layer from the interface (pn junction interface) of the source drain field 29 and epitaxial 23.

[0125] What is necessary is just to form the gate electrode which consists of a cascade screen of the polish recon film of the cascade screen of the polish recon film of the usual n mold or p mold, and the silicide film / metal membrane, the silicide film /n mold, or p mold instead of the dummy gate film 26 at the process of drawing 7 (d) in this operation gestalt, in order to manufacture the usual MOS transistor although the manufacture approach of the MOS transistor of a DAMASHIN gate mold was explained. The laminating of the nitride with an etch rate slower than an oxide film etc. may be carried out on a gate electrode.

[0126] Drawing 10 shows the gate length dependency of the threshold electrical potential difference  $V_{th}$  of the MOS transistor formed by the approach and the conventional approach of this invention. The MOS transistor formed by the approach of this invention does not have retreat of the isolation insulator layer in the boundary of the component isolation region and component field by a facet etc. Moreover, 15nm of Si front faces

of a component field is caudad retreated from the isolation insulator layer front face. The MOS transistor formed by the conventional approach has retreat of the isolation insulator layer in the boundary of the component isolation region and component field by a facet etc.

[0127] Although dispersion in the threshold electrical potential difference  $V_{th}$  of the MOS transistor which the approach of this invention formed from drawing is small at 30mV or less, it turns out by about 50-100mV that \*\*\*\*\* of the MOS transistor which the conventional approach formed is large. The reason dispersion in the threshold electrical potential difference  $V_{th}$  becomes large by the conventional approach is because retreat of an isolation insulator layer arises by the conventional approach and the amount has dispersion.

[0128] (5th operation gestalt) Drawing 11 and drawing 12 are the process sectional views showing the formation approach of the component isolation construction concerning the 5th operation gestalt of this invention.

[0129] First, as shown in drawing 11 (a), the oxide film 42 with a thickness of about 200nm is formed in the front face of the silicon substrate 41 of a single crystal by thermal oxidation, and then the silicon nitride 43 with a thickness of about 50nm is formed with a CVD method on an oxide film 42. The conductivity type of a silicon substrate 41 is a p mold, and field

bearing is (100).

[0130] Here, although thickness of an oxide film 42 was set to 200nm, 400nm is sufficient, and a silicon substrate 41 is oxidized at 1000 degrees C in that case. Moreover, although thickness of the silicon nitride 43 was set to 50nm, 15nm is sufficient, and it is SiCl<sub>2</sub> H<sub>2</sub> in that case. NH<sub>3</sub> It forms with the used reduced pressure CVD method.

[0131] Next, as shown in drawing 11 (b), the silicon nitride 43 and an oxide film 42 are processed using a photolithography and RIE, and the opening 44 which reaches a silicon substrate 41 is formed in the field corresponding to a component formation field. Here, the silicon nitride 43 etches by using a photoresist as a mask, and an oxide film 42 exfoliates the above-mentioned photoresist, and it etches by using as a mask the silicon nitride 43 by which the pattern of a photoresist was imprinted. In addition, a photoresist may be used as a mask and the silicon nitride 43 and an oxide film 42 may be etched.

[0132] next -- as pretreatment of epitaxial growth -- CF<sub>4</sub> CDE (Chemical Dry Etching) using the mixed gas of oxygen -- after removing the damage layer produced on the substrate front face by RIE by etching about 10nm of substrate front faces in law, the wet processing using diluted fluoric acid removes the natural oxidation film on the front face of a substrate. CDE is O<sub>2</sub>. It can also

replace by used RIE.

[0133] Next, as shown in drawing 11 (c), the exposed substrate front face is used for a growth nucleus (seed), and selective growth of the epitaxial layer 45 is carried out. An epitaxial layer 45 is filled up with opening 44, and it is made it to carry out selective growth on the silicon nitride 43, so that it may disturb. An epitaxial layer 45 is a silicon layer, a silicon germanium layer, or a germanium layer like the 1st operation gestalt. In the case of a silicon layer, it is SiH<sub>4</sub>. H<sub>2</sub> In using mixed gas \*\*\*\*, it is SiH<sub>2</sub> Cl<sub>2</sub>. H<sub>2</sub> Mixed gas or the gas which added HCl to these is used.

[0134] Next, as shown in drawing 12 (d), CMP of the conditions that the polish rate of SiN to Si is late enough removes the surplus exterior [ of opening 44 ] epitaxial layer 45, and a front face is made flat. Seria is used for an abrasive grain.

[0135] Next, as shown in drawing 12 (e), the oxidizing zone 46 with a thickness of about 150nm is formed by thermal oxidation. At this time, only about 75nm of locations of the interface of an oxidizing zone 46 and an epitaxial layer 45 consists of a location of the front face of the silicon nitride 43 caudad.

[0136] Next, as shown in drawing 12 (f), after RIE removes an oxidizing zone 46 alternatively, the wet etching using phosphoric acid liquid removes the silicon nitride 43 alternatively. Consequently, only 25nm of locations of the front face of the epitaxial layer 45 of a component



formation field consists of a location of the front face of the oxide film 42 of a component isolation region caudad. Here, although the oxidizing zone 46 was removed in RIE, the wet etching using BHF or a DHF solution may remove. After this, the process which forms a desired semiconductor device in an epitaxial layer 45 continues as usual.

[0137] Also with this operation gestalt, like the 1st operation gestalt, generating of a void or a facet can be prevented and the same effectiveness as the 1st operation gestalt is acquired.

[0138] (6th operation gestalt) Drawing 13 is the process sectional view showing the formation approach of the component isolation construction concerning the 6th operation gestalt of this invention. In addition, the same sign as drawing 11 and drawing 12 is given to drawing 11 and drawing 12, and a corresponding part, and detailed explanation is omitted.

[0139] First, the process shown in drawing 11 [ of the 5th operation gestalt ] (a) - Fig. 1212 (d) is performed.

[0140] Next, as shown in drawing 13 (a), the oxidizing zone 46 with a thickness of about 50nm is formed by thermal oxidation. At this time, only about 25nm of locations of the interface of an oxide film 42 and the silicon nitride 43 consists of a location of the interface of an oxidizing zone 46 and an epitaxial layer 45 caudad. When thickness of the silicon nitride 43 is set to 15nm, thermal

oxidation of about 10nm is carried out at 900 degrees C.

[0141] Lastly, as shown in drawing 13 (b), RIE removes an oxidizing zone 46 alternatively and component isolation construction is completed. Heat treatment for carrying out flattening of the front face on atomic level may be performed like the 1st operation gestalt next. Only 25nm of locations of the front face of the epitaxial layer 45 of a component formation field consists of a location of the front face of the silicon nitride 43 of a component isolation region caudad. About 10nm when it oxidizes thermally, only about 10nm becomes caudad.

[0142] (7th operation gestalt) Drawing 14 is the process sectional view showing the formation approach of the component isolation construction concerning the 7th operation gestalt of this invention. In addition, the same sign as drawing 11 and drawing 12 is given to drawing 11 and drawing 12, and a corresponding part, and detailed explanation is omitted.

[0143] First, the process (removal of the damage layer produced by RIE and removal of the natural oxidation film are included) shown in drawing 11 [ of the 5th operation gestalt ] (a) - Fig. 1111 (b) is performed.

[0144] Next, as shown in drawing 14 (a), the exposed substrate front face is used for a growth nucleus (seed), and on the silicon nitride 43, selective growth of the

epitaxial layer 45 is carried out so that it may not disturb. Therefore, a facet will arise in opening 44. Moreover, selective growth is performed here so that only a few may become high rather than the front face of silicon oxide 42 about the front face of an epitaxial layer 45.

[0145] Next, as shown in drawing 14 (b), it is the reduced pressure H<sub>2</sub> of 10Torr extent. An epitaxial layer 45 is made to flow by 1000 degrees C in the inside of an ambient atmosphere, and annealing for about 5 minutes, and the front face of an epitaxial layer 45 is made flat. Consequently, a facet disappears. Moreover, the front face of an epitaxial layer 45 becomes lower than the front face of silicon oxide 42.

[0146] As shown in drawing 14 (c), at the last, the wet etching by phosphoric acid removes the silicon nitride 43 alternatively, and component isolation construction is completed at it.

[0147] (8th operation gestalt) Drawing 15 is the process sectional view showing the manufacture approach of the semiconductor device concerning the 8th operation gestalt of this invention. In addition, the same sign as drawing 11 and drawing 12 is given to drawing 11 and drawing 12, and a corresponding part, and detailed explanation is omitted.

[0148] First, the process to drawing 11 [ of the 5th operation gestalt ] (a) - Fig. 1212 (d) is performed.

[0149] Next, as shown in drawing 15 (a),

it acts as the pull back (pull back) of the silicon nitride 43 by etching by heat phosphating or fluoric acid glycerol processing, the silicon nitride 43 around an epitaxial layer 45 is removed, and opening 47 is formed.

[0150] Next, as shown in drawing 15 (b), the field in Mr. about 150nm Fukushima is oxidized thermally from the front face of an epitaxial layer 45, and an oxidizing zone 46 is formed. Consequently, only about 75nm of locations of the interface of an oxidizing zone 46 and an epitaxial layer 45 consists of a location of the front face of the silicon nitride 42 caudad.

[0151] At this time, an oxidation kind is spread in the interface of an oxide film 42 and an epitaxial layer 45 through opening 47, and a good isolation property can be acquired by oxidizing that interface thermally. Moreover, the crystallinity of the epitaxial 45 which deteriorated by CMP is recovered by this thermal oxidation.

[0152] Lastly, as shown in drawing 15 (c), after RIE removes an oxidizing zone 46 alternatively, wet \*\* etching by phosphoric acid removes the silicon nitride 43 alternatively, and component isolation construction is completed. Only 25nm of locations of the front face of the epitaxial layer 45 of a component formation field consists of a location of the front face of the oxide film 42 of a component isolation region caudad.

[0153] (9th operation gestalt) Drawing 16

and drawing 17 are the process sectional views showing the formation approach of the component isolation construction concerning the 9th operation gestalt of this invention. In addition, the same sign as drawing 11 and drawing 12 is given to drawing 11 and drawing 12 R> 2, and a corresponding part, and detailed explanation is omitted.

[0154] First, as shown in drawing 16 (a), sequential formation of the oxide film 42 with a thickness of about 200nm and the silicon nitride 43 with a thickness of about 10nm is carried out on a silicon substrate 41 like the 5th operation gestalt. Next, as shown in this drawing (a), it is SiO<sub>2</sub> with a thickness of about 50nm on the silicon nitride 43. Sequential formation of the film 48 and the silicon nitride 49 with a thickness of about 50nm is carried out with a CVD method.

[0155] Next, as shown in drawing 16 (b), a photolithography and RIE are used, and they are an oxide film 42, the silicon nitride 43, and SiO<sub>2</sub>. The film 48 and the silicon nitride 49 are processed, and the opening 44 which reaches a silicon substrate 41 is formed.

[0156] Next, after O<sub>2</sub>-RIE removes the damage layer produced on the substrate front face by RIE as pretreatment of epitaxial growth, the wet processing using diluted fluoric acid removes the natural oxidation film on the front face of a substrate.

[0157] Next, as shown in drawing 16 (c),

the exposed substrate front face is used for a growth nucleus (seed), and selective growth of the epitaxial layer 45 is carried out. An epitaxial layer 45 is filled up with opening 44, and it is made it to carry out selective growth on the silicon nitride 49, so that it may disturb.

[0158] Next, as shown in drawing 16 (d), CMP of the conditions that the polish rate of SiN to Si is late enough removes the surplus exterior [ of opening 44 ] epitaxial layer 45, and a front face is made flat.

[0159] Next, as shown in drawing 17 (e), the field in Mr. about 150nm Fukashi is oxidized thermally from the front face of an epitaxial layer 45, and an oxidizing zone 46 is formed. At this time, the crystallinity of the epitaxial 45 which deteriorated by CMP is recovered.

[0160] Next, they are an oxidizing zone 46 and SiO<sub>2</sub> by the wet etching using [ as shown in drawing 17 (f), the wet etching using phosphoric acid removes the silicon nitride 49, and continue, and ] fluoric acid. The film 48 is removed.

[0161] Then, an epitaxial layer 43 is again oxidized thermally and the interface of an oxide film 42 and an epitaxial layer 45 is reformed. Thereby, a good isolation property can be acquired. The reason such whose interface reforming becomes possible is that the thickness of the silicon nitride 43 is as thin as about 10nm.

[0162] SiO<sub>2</sub> which was lastly formed by the above-mentioned reoxidation as

shown in drawing 17 (g) and which is not illustrated Wet etching removes the film and the silicon nitride 43 one by one, and component isolation construction is completed.

[0163] (10th operation gestalt) Drawing 18 is the process sectional view showing the formation approach of the component isolation construction concerning the 10th operation gestalt of this invention.

[0164] First, the process of drawing 11 [ of the 5th operation gestalt ] (a) - Fig. 1111 (b) is performed.

[0165] Next, CHF<sub>3</sub> as shown in drawing 18 (a), after forming a silicon nitride with a thickness of 5nm in the whole surface with a CVD method Etchback of the above-mentioned silicon nitride is carried out by RIE using gas, and the silicon nitride 50 is formed in the side attachment wall of opening 44.

[0166] Next, as pretreatment of epitaxial growth, it is CF<sub>4</sub>. By etching about 10nm of substrate front faces by the CDE method using the mixed gas of oxygen, the damage layer produced on the substrate front face by RIE is removed. Then, the wet processing using diluted fluoric acid removes the natural oxidation film on the front face of a substrate.

[0167] Next, as shown in drawing 18 (b), in opening 44, it embeds in an epitaxial layer 45 and forms. This process is the same as the process (a surplus epitaxial 45 removal by CMP) of the process (selective growth of an epitaxial layer 45)

of drawing 11 (c) of the 5th operation gestalt - drawing 12 (d). Here, since the silicon nitride 50 is formed in the side attachment wall of opening 44, a facet is not produced in the case of the selective growth of the PITAKISHARU layer 45. The next process is the same as the process of drawing 12 (e) of the 5th operation gestalt or subsequent ones (drawing 18 (c), drawing 18 (d)).

[0168] Thus, when the thickness of gate oxide created the MOS transistor which is 4nm to the epitaxial 43 of the obtained component field and investigated the current potential property to it, the hump was not observed but good transistor characteristics were acquired. Moreover, when 100 MOS transistors were created in the wafer side and these were evaluated, unusual leakage current was not observed. Furthermore, generating of a crystal defect was not accepted in a component isolation region edge. This is considered because there is no concentration of stress.

[0169] (11th operation gestalt) Drawing 19 is a sectional view for explaining the MOS transistor concerning the 11th operation gestalt of this invention. This is the sectional view of a field parallel to the channel width direction.

[0170] The top-face location of the silicon layer [ as opposed to / 61 / 62 / the silicon layer (semi-conductor layer of the semiconductor region on the front face of a substrate) of a component field and / 63

/ an isolation insulator layer (silicon oxide) and / as opposed to / in gate oxide and 64 / a gate electrode / a substrate (un-illustrating) in P<sub>Si</sub> ] 61 and P<sub>ins</sub>. show the top-face location of the isolation insulator layer 62 to a substrate among drawing, respectively. the silicon layer 61 -- for example, the 1- it forms by one approach of the 10th operation gestalt. Any of the usual silicon substrate and a SOI substrate are sufficient as a substrate.

[0171] The point that this operation gestalt differs from the former is to set height (amount of level differences)  $\Delta$  of the top-face location P<sub>Si</sub> on the basis of top-face location P<sub>ins</sub>. as 50nm or less ( $3 \cdot t_{ox} \leq \Delta \leq 50\text{nm}$ ) of the thickness  $t_{ox}$  of gate oxide 63 3 or more times.

[0172] The reason set as  $3 \cdot t_{ox} \leq \Delta \leq 50\text{nm}$  is that it can make property fluctuation of a device property, especially fluctuation of threshold voltage  $V_{th}$  smaller than before so that it may mention later. It enables this to give a margin to a manufacture process. Moreover, since the oxide film thickness in the corner section of a component formation field becomes large, the effect which fluctuation of the amount  $\Delta$  of level differences has on a corner transistor (corner) is eased.

[0173] Drawing 20 shows the MOS transistor which improved the MOS transistor of drawing 19. In this MOS transistor, in order to prevent DIVOTTO,

the isolation insulator layer 62 is formed also on the silicon layer 61 across the component isolation region. The dimension 65 of the channel width direction of the isolation insulator layer 62 on said silicon layer 61 is more than the thickness of gate oxide 63, and the dimension of the channel width direction of the part gate electrode 64 is small.

[0174] The result of having analyzed the relation between the amount  $\Delta$  of level differences and threshold voltage  $V_{th}$  by the three-dimensions device simulator to drawing 21 is shown. Unlike it of this operation gestalt, top-face location P<sub>ins</sub>. of the MOS transistor of the amount  $\Delta \leq 0$  of level differences is the same as that of the top-face location P<sub>Si</sub>, or it is a thing lower than the top-face location P<sub>Si</sub> type.

[0175] Simulation conditions are also shown in drawing 21. The other conditions are as follows. That is, the dimension 65 is the same as the thickness of gate oxide 63. Moreover, p mold high impurity concentration (henceforth substrate concentration) of the silicon layer 61 is [ 300nm gate oxide 63, and the isolation insulator layer 62 of the thickness (depth of a trench) of the part where  $6.6 \times 10^{17}\text{cm}^{-3}$ , the polish recon film with which, as for the thickness of gate oxide 63, 6nm and the gate electrode 64 contain the phosphorus of the concentration of  $7.0 \times 10^{19}\text{cm}^{-3}$ , and the isolation insulator layer 62 were

embedded ] TEOS film (specific inductive capacity: 3.9).

[0176] Drawing 21 shows that the fluctuation to the amount  $\Delta$  of level differences of threshold voltage  $V_{th}$  is small in the field of  $20\text{ nm} \leq \Delta$ . This is considered to be because to come, it to be [ it is based on the effect of a corner transistor, ] and for the effect of a fall of an electrical potential difference  $V_{th}$  to be effectively avoided in this field. If the amount  $\Delta$  of level differences is transposed to the thickness  $t_{ox}$  of gate oxide 63, the above-mentioned inequality will serve as  $3 t_{ox} \leq \Delta$ .

[0177] Moreover, drawing 21 shows that the fluctuation to the amount  $\Delta$  of level differences of threshold voltage  $V_{th}$  is still smaller in the range exceeding 30nm. However, if the amount  $\Delta$  of level differences is too large, it may \*\*\*\* out of an exposure focus, or unnecessary gate polish recon may remain in the side attachment wall of opening of a component field, and short-circuit may be caused. From a viewpoint on such a process, the upper limit of the amount  $\Delta$  of level differences has desirable 100nm, and is more desirable. [ of 50nm or less ]

[0178] In addition, in the case of the structure of the amount  $\Delta \leq 0$  of level differences, it is desirable that it is the amount of level differences of  $\Delta \leq 50\text{nm}$  or less so that it may mention later.

[0179] Even if about 10nm of the amounts  $\Delta$  of level differences which change in connection with process dispersion by choosing the amount  $\Delta$  of level differences of 20-30nm differs in a sigma value according to this operation gestalt, it is possible to control dispersion in the effect  $V_{th}$  which it has on the threshold voltage  $V_{th}$  which is the property of a device, i.e., threshold voltage, to 50mV or less.

[0180] Moreover, since the controllability of threshold voltage  $V_{th}$  is improvable, dispersion in off leakage current and the saturation current is improvable.

[0181] Moreover, in order to realize this component, there is no need of adding a new process. The process parameter which should be controlled is the amount  $\Delta$  of level differences. It is the amount of CMP of the insulator layer used more for a detail at isolation etc. Therefore, the cost concerning a process can raise the yield in the conventional state, and can attain reduction-ization of a manufacturing cost.

[0182] In addition, although this operation gestalt explained the case where the thickness of gate oxide was 6nm, even when thinner than 6nm, dispersion in threshold voltage  $V_{th}$  can be made small by setting the amount  $\Delta$  of level differences as the range of  $3t_{ox}$ -50nm. What is necessary is only for sigma to shift the set point of the amount of level differences, and to set it to

$\sigma + 3t_{ox} - \sigma + 50\text{nm}$  etc. about a case so that it may have big dispersion to which the standard deviation  $\sigma$  of the amount  $\Delta$  of level differences becomes larger than  $10\text{nm}$ , in order to compensate this.

[0183] Since it does not depend on the isolation depth of flute for the inclination shown in drawing 21, the value of the isolation depth of flute is arbitrary.

[0184] To drawing 22, it is the junction depth  $X_j$ . About a different MOS transistor, the result of having investigated the relation of those amounts  $\Delta$  of level differences and threshold voltage  $V_{th}$  is shown. The inclination shown in drawing 21 from drawing is the junction depth  $X_j$ . It turns out that it does not depend. Therefore, the junction depth  $X_j$  The value is arbitrary.

[0185] To drawing 23, it is the substrate concentration  $N_{sub}$ . About a different MOS transistor, the result of having investigated the relation of those amounts  $\Delta$  of level differences and threshold voltage  $V_{th}$  is shown. The inclination shown in drawing 21 from drawing is the substrate concentration  $N_{sub}$ . It turns out that it does not depend. When the value of substrate concentration differs from this operation gestalt, or when substrate concentration has distribution, dispersion in threshold voltage  $V_{th}$  can be made small by setting the amount  $\Delta$  of level differences as

the range of  $3t_{ox} - 50\text{nm}$ .

[0186] Furthermore, if the standard deviation of the amount  $\Delta$  of level differences is controlled from drawing 23 about to  $\Delta/10$  in the case of the  $\Delta \leq 0\text{nm}$  amount of level differences (i.e., even when the top-face location  $PS_i$  is higher than top-face location  $P_{ins}$ .), it is also possible to set dispersion in threshold voltage  $V_{th}$  to  $50\text{mV}$  or less in the range of the  $\Delta \leq 10\text{nm}$  amount of level differences.

[0187] In the structure, i.e., the structure where a gate electrode surround a component field, where the amount of level differences serve as negative, while the contribution to depletion-izing of the corner section of the gate which extended in the lengthwise direction by the increment in the amount of level differences be, it be observe as a rapid fall of threshold voltage  $V_{th}$ , but if the constant value decide by substrate concentration, oxide film thickness, etc. be exceed, it will not bring effect to the corner section only by turn on the transistor of a lengthwise direction. It turns out that dispersion in threshold voltage  $V_{th}$  becomes small about deflection. The reason is considered as follows.

[0188] In addition, this invention is not limited to the above-mentioned operation gestalt. For example, although the case where dispersion in threshold voltage was controlled was explained with the

above-mentioned operation gestalt in order to attain high performance-ization of a transistor, the technique of the reduction in resistance stated with the control technique and the conventional technique of this dispersion may be combined suitably. This becomes possible to attain further high performance-ization of a transistor.

[0189] In addition, in the range which does not deviate from the summary of this invention, it deforms variously and can carry out.

[0190]

[Effect of the Invention] Since generating of the void and facet leading to dispersion in a component property can be prevented according to this invention as explained in full detail above, dispersion in a component property can be controlled effectively.

[0191] Moreover, according to this invention, dispersion in a component property can be effectively controlled now by making into a predetermined value the difference of the top-face location of an isolation insulator layer, and the top-face location of a semi-conductor layer (semi-conductor layer of a component field) in which the MOS mold component was formed.

---

## DESCRIPTION OF DRAWINGS

---

[Brief Description of the Drawings]

[Drawing 1] The process sectional view showing the formation approach of the component isolation construction concerning the 1st operation gestalt of this invention

[Drawing 2] The process sectional view showing the formation approach of the allotropy child isolation construction following drawing 1

[Drawing 3] The process sectional view showing the formation approach of the component isolation construction concerning the 2nd operation gestalt of this invention

[Drawing 4] The process sectional view showing the formation approach of the component isolation construction concerning the 3rd operation gestalt of this invention

[Drawing 5] The process sectional view showing the formation approach of the allotropy child isolation construction following drawing 4

[Drawing 6] The process sectional view showing the manufacture approach of the MOS transistor concerning the 4th operation gestalt of this invention

[Drawing 7] The process sectional view showing the manufacture approach of this MOS transistor following drawing 6

[Drawing 8] The process sectional view showing the manufacture approach of



this MOS transistor following drawing 7

[Drawing 9] The process sectional view showing the manufacture approach of this MOS transistor following drawing 8

[Drawing 10] Drawing showing the gate length dependency of the threshold electrical potential difference  $V_{th}$  of the MOS transistor formed by the approach and the conventional approach of this invention

[Drawing 11] The process sectional view showing the formation approach of the component isolation construction concerning the 5th operation gestalt of this invention

[Drawing 12] The process sectional view showing the formation approach of the allotropy child isolation construction following drawing 11

[Drawing 13] The process sectional view showing the formation approach of the component isolation construction concerning the 6th operation gestalt of this invention

[Drawing 14] The process sectional view showing the formation approach of the component isolation construction concerning the 7th operation gestalt of this invention

[Drawing 15] The process sectional view showing the manufacture approach of the semiconductor device concerning the 8th operation gestalt of this invention

[Drawing 16] The process sectional view showing the formation approach of the component isolation construction

concerning the 9th operation gestalt of this invention

[Drawing 17] The process sectional view showing the formation approach of the allotropy child isolation construction following drawing 16

[Drawing 18] The process sectional view showing the formation approach of the component isolation construction concerning the 10th operation gestalt of invention

[Drawing 19] The sectional view for explaining the MOS transistor concerning the 11th operation gestalt of this invention

[Drawing 20] The sectional view showing the MOS transistor which improved the MOS transistor of drawing 19

[Drawing 21] Drawing showing the result of having analyzed the relation between the amount delta of level differences, and threshold voltage  $V_{th}$  by the three-dimensions device simulator

[Drawing 22] Junction depth  $X_j$  Drawing showing the result of having investigated the relation of those amounts delta of level differences and threshold voltage  $V_{th}$ , about a different MOS transistor

[Drawing 23] Substrate concentration  $N_{sub}$  Drawing showing the result of having investigated the relation of those amounts delta of level differences and threshold voltage  $V_{th}$ , about a different MOS transistor

[Drawing 24] The sectional view for explaining the trouble of the isolation

approach by the conventional STI

[Drawing 25] The sectional view for explaining the trouble of the isolation approach by other conventional STI

[Drawing 26] Drawing 24, the sectional view showing DIVOTTO produced by the conventional isolation approach of drawing 25

[Drawing 27] The property Fig. showing the gate voltage dependency of the drain current for explaining the trouble produced by DIVOTTO

[Drawing 28] The sectional view for explaining the trouble of the isolation approach by other conventional STI

[Drawing 29] The sectional view for explaining the trouble of the isolation approach by other conventional STI

[Description of Notations]

- 1 -- Silicon substrate
- 2 -- Thermal oxidation film
- 3 -- Epitaxial layer
- 4 -- Silicon film
- 11 -- Silicon substrate
- 12 -- Single crystal insulator layer
- 13 -- Oxide film (isolation insulator layer)
- 14 -- Epitaxial layer
- 21 -- Silicon substrate
- 22 -- Thermal oxidation film
- 23 -- Epitaxial layer
- 24 -- Silicon film
- 25 -- Thermal oxidation film
- 26 -- Dummy gate film
- 27 -- Source drain field (extension field)
- 28 -- Gate side-attachment-wall insulator layer

- 29 -- Source drain field
- 30 -- Interlayer insulation film
- 31 -- Opening
- 32 -- Ion
- 33 -- Channel impurity doping layer
- 34 -- Gate dielectric film
- 35 -- TiN film
- 36 -- Gate electrode
- 41 -- Silicon substrate
- 42 -- Thermal oxidation film
- 43 -- Silicon nitride
- 44 -- Opening
- 45 -- Epitaxial layer
- 46 -- Oxidizing zone
- 47 -- Opening
- 48 -- SiO<sub>2</sub> Film
- 49 50 -- Silicon nitride
- 61 -- Silicon layer
- 62 -- Silicon oxide (isolation insulator layer)
- 63 -- Gate oxide
- 64 -- Gate electrode

---

[Translation done.]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-15591

(P2001-15591A)

(43) 公開日 平成13年1月19日 (2001.1.19)

(51) Int.Cl.<sup>7</sup>

H 0 1 L 21/762  
29/78

識別記号

F I

H 0 1 L 21/76  
29/78

テマコード\* (参考)

D 5 F 0 3 2  
3 0 1 R 5 F 0 4 0

審査請求 未請求 請求項の数12 O L (全 21 頁)

(21) 出願番号

特願平11-187053

(22) 出願日

平成11年6月30日 (1999.6.30)

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72) 発明者 須黒 恭一

神奈川県横浜市磯子区新杉田町8番地 株  
式会社東芝横浜事業所内

(72) 発明者 宮野 清孝

神奈川県横浜市磯子区新杉田町8番地 株  
式会社東芝横浜事業所内

(74) 代理人 100058479

弁理士 鈴江 武彦 (外6名)

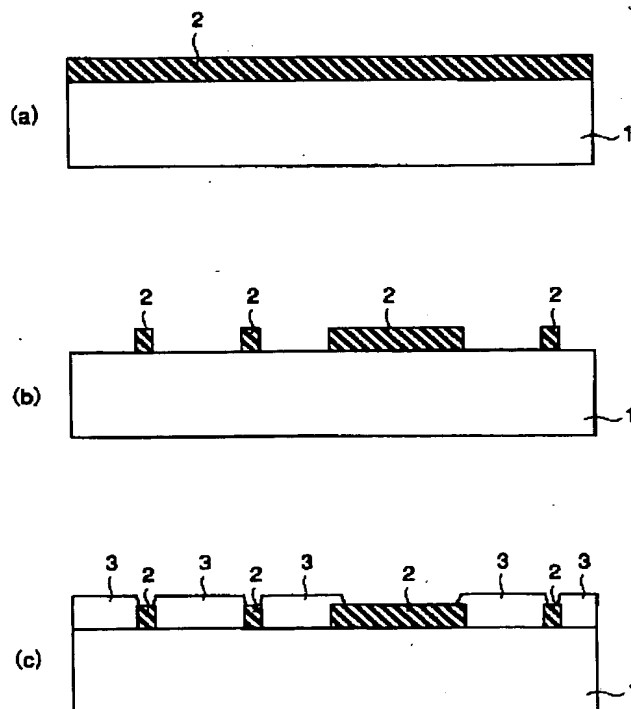
最終頁に続く

(54) 【発明の名称】 半導体装置の製造方法・半導体装置

(57) 【要約】

【課題】 ファセットのないSTI素子分離構造を形成すること。

【解決手段】 エピタキシャル成長によって、素子を形成するためのエピタキシャル層3をシリコン基板1上に選択成長させる際に、素子分離絶縁膜である熱酸化膜2上にはみだすように形成することによって、ファセットの発生を防止する。この後、不要なエピタキシャル層3をCMPにより除去する。



(2)

## 【特許請求の範囲】

【請求項1】半導体基板上に絶縁膜を形成する工程と、前記絶縁膜に開口部を形成し、前記半導体基板の表面の一部を露出させる工程と、

この露出された部分を成長核に用いたエピタキシャル成長によって、前記開口部を充填し、かつ前記絶縁膜上にはみだす厚さの半導体層を形成する工程と、前記開口部外の前記半導体層を除去する工程とを有することを特徴とする半導体装置の製造方法。

【請求項2】半導体基板上に単結晶絶縁膜を形成する工程と、前記単結晶絶縁膜上に非単結晶絶縁膜を形成する工程と、

前記非単結晶絶縁膜に開口部を形成し、前記単結晶絶縁膜の表面の一部を露出させる工程と、この露出された部分を成長核に用いたエピタキシャル成長によって、前記開口部を充填し、かつ前記非単結晶絶縁膜上にはみだす厚さの半導体層を形成する工程と、前記開口部外の前記半導体層を除去する工程とを有することを特徴とする半導体装置の製造方法。

【請求項3】前記開口部内の前記半導体層の上面を前記開口部の開口面よりも低くする工程をさらに有することを特徴とする請求項1または請求項2に記載の半導体装置の製造方法。

【請求項4】前記開口部内の前記半導体層を選択的にエッチングするか、または前記開口部内の前記半導体層の上部を酸化し、この酸化した部分を選択的に除去することによって、前記開口部内の前記半導体層の上面を前記開口部の開口面よりも低くすることを特徴とする請求項3に記載の半導体装置の製造方法。

【請求項5】前記開口部内の前記半導体層の表面を前記開口部の開口面よりも低くする工程の後、不活性ガス雰囲気中で前記半導体層を加熱する工程をさらに有することを特徴とする請求項3に記載の半導体装置の製造方法。

【請求項6】前記開口部外の前記半導体層を化学的機械的研磨または機械的研磨によって除去することを特徴とする請求項1、請求項2または請求項3に記載の半導体装置の製造方法。

【請求項7】前記半導体層を形成する工程の後に全面に半導体膜を形成し、前記開口部外の前記半導体層を除去する工程の際に、前記半導体膜も除去することを特徴とする請求項1、請求項2または請求項3に記載の半導体装置の製造方法。

【請求項8】前記絶縁膜は、シリコン酸化膜と、このシリコン膜上に形成されたシリコン窒化膜との積層膜であり、かつ前記開口部の側壁にシリコン窒化膜を形成した後、前記半導体層としてシリコン層を形成することを特徴とする請求項1、請求項2または請求項3に記載の半導体装置の製造方法。

【請求項9】半導体基板上に絶縁膜を形成する工程と、前記絶縁膜に開口部を形成し、前記半導体基板の表面の一部を露出させる工程と、

この露出された部分を成長核に用いたエピタキシャル成長によって、前記開口部内に前記開口部の開口面に達しない厚さの半導体層を形成する工程と、不活性ガス雰囲気中で前記半導体層を加熱する工程とを有することを特徴とする半導体装置の製造方法。

【請求項10】前記不活性ガス雰囲気は、水素を含む雰囲気であることを特徴とする請求項1、請求項2および請求項9のいずれか1項に記載の半導体装置の製造方法。

【請求項11】基板の半導体領域に埋め込まれ、かつ上部が前記半導体領域の表面よりも上に突出した素子分離絶縁膜と、素子分離絶縁膜によって素子分離された前記半導体領域の半導体層と、この半導体層に形成されたMOS型素子とを具備してなり、

前記基板に対する前記素子分離絶縁膜の上面位置が、前記基板に対する前記半導体層の上面位置よりも、前記MOS型素子のゲート絶縁膜の膜厚の3倍以上高いことを特徴とする半導体装置。

【請求項12】基板の半導体領域に埋め込まれ、かつ上部が前記半導体領域の表面よりも上に突出した素子分離絶縁膜と、素子分離絶縁膜によって素子分離された前記半導体領域の半導体層と、

この半導体層に形成されたMOS型素子とを具備してなり、前記基板に対する前記半導体層の上面位置が、前記基板に対する前記素子分離絶縁膜の上面位置よりも、10nm以上高いことを特徴とする半導体装置。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、素子分離工程に特徴がある半導体装置の製造方法および素子分離構造に特徴がある半導体装置に関する。

## 【0002】

【従来の技術】近年、コンピュータや通信機器の重要部分には、多数のトランジスタや抵抗等を電気回路を達成するようにむすびつけ、1チップ上に集積化して形成した大規模集積回路(LSI)が多用されている。このため、機器全体の性能は、LSI単体の性能と大きく結び付いている。LSI単体の性能向上は、集積度を高めること、つまり、素子の微細化により実現できる。

【0003】素子の微細化は、例えばMOSトランジスタの場合であれば、ゲート長の短縮化およびソース・ドレイン拡散層の薄層化により実現できる。

【0004】浅いソース・ドレイン拡散層を形成する方

(3)

3

法としては、低加速イオン注入法が広く用いられている。この方法により0.1  $\mu\text{m}$ 以下の浅いソース・ドレイン拡散層を形成できる。

【0005】しかし、このように低加速イオン注入法で形成されるソース・ドレイン拡散層は、シート抵抗が100  $\Omega/\square$ 以上という高い値になるため、このままでは微細化による高加速化は期待できない。

【0006】そこで、ロジックLSIのように高速性を要求されるデバイスでは、ソース・ドレイン拡散層およびゲート電極（不純物がドーパされた多結晶シリコン膜）の表面にシリサイド膜を自己整合的に形成するというシリサイド技術が用いられている。

【0007】デュアルゲートのMOSトランジスタ（同一基板に形成されたnチャネルおよびpチャネルのMOSトランジスタであって、nチャネルMOSトランジスタのゲート電極としてn型不純物がドーパされた多結晶シリコン膜、pチャネルMOSトランジスタのゲート電極としてp型不純物がドーパされた多結晶シリコン膜を用いたもの）を形成する場合には、シリサイド技術は単にゲート電極の抵抗化を図るだけではなく、工程数の削減化を図ることもできる。

【0008】その理由は、ソース・ドレイン拡散層を形成するためのイオン注入工程において、ゲート電極（多結晶シリコン膜）に所定の導電型の不純物をドーパできるからである。

【0009】これに対して、ポリサイドゲート電極（不純物がドーパされた多結晶シリコン膜上にWシリサイド膜等の金属シリサイド膜を積層させたゲート電極）を用いてデュアルゲートのMOSトランジスタを形成する場合には、ソース・ドレイン拡散層を形成するためのイオン注入工程において、多結晶シリコン膜は金属シリサイド膜でマスクされるので、多結晶シリコン膜に所定の導電型の不純物をドーパすることはできない。

【0010】したがって、ソース・ドレイン拡散層の形成前に、多結晶シリコン膜にあらかじめ所定の導電型の不純物をドーパする必要がある。すなわち、ソース・ドレイン拡散層を形成するためのイオン注入工程と、多結晶シリコン膜に所定の導電型の不純物をドーパするためのイオン注入工程とが別々の工程となり、工程数が増加する。

【0011】具体的には、シリサイド技術の場合よりも、フォトリソグラフィ工程が2回、イオン注入工程が2回、レジスト除去工程が2回それぞれ増加する。

【0012】一方、DRAM等のメモリLSIのように素子を高密度に集積形成することが要求されるデバイスにおいては、SAC (Self-Aligned Contact) 構造を採用することが必須である。

【0013】SAC構造を形成する工程には、一方のソース・ドレイン拡散層（通常はソースとして用いられる方）上の層間絶縁膜をRIE法にてエッチングし、上記

4

ソース・ドレイン拡散層に対してのコンタクトホールを形成する工程がある。

【0014】このとき、コンタクトホールに合わせずれが起きても、ゲート電極（多結晶シリコン膜）の表面が露出しないようにする必要がある。そのために、ゲート電極上にエッチングストップ膜としてシリコン窒化膜をあらかじめ形成しておく。

【0015】このようなシリコン窒化膜があると、ソース・ドレイン拡散層を形成する際のイオン注入工程において、ゲート電極に不純物が注入されなくなる。したがって、メモリLSIには、ロジックLSIで用いられているシリサイド技術を用いることができない。

【0016】ところで、メモリLSIでは、従来から、不純物がドーパされた多結晶シリコン膜からなるゲート電極（多結晶シリコンゲート電極）が広く用いられ、また低抵抗化の必要性からポリサイドゲート電極も用いられている。

【0017】さらに低抵抗のゲート電極が必要な場合には、不純物がドーパされた多結晶シリコン膜、バリアメタル膜、W膜等の金属膜を順次積層してなるポリメタルゲート電極が用いられる。ポリメタルゲート電極は、ポリサイドゲート電極よりも抵抗が低いことから、より薄い膜厚で所望のシート抵抗を実現できる。

【0018】しかしながら、ポリメタルゲート電極には以下のような問題がある。ロジックLSIでは上述したデュアルゲート構造が用いられる。そのため、ポリサイドゲート電極の場合と同様に、ロジックLSIでポリメタルゲート電極を用いると、ポリメタルゲート電極の多結晶シリコン膜に不純物をイオン注入する工程と、ソース・ドレイン拡散層を形成するためにシリコン基板に不純物をイオン注入する工程をそれぞれ別々の工程で行なう必要が生じる。したがって、工程数が増大し、生産コストが上昇する。

【0019】ところで、ロジックICとDRAMを混載させたLSIにおいて、DRAMのソース・ドレイン拡散層の表面にシリサイド膜を形成すると、メモリセルのpn接合リーク電流が大きくなり、データの保持特性が悪くなる。また、DRAMでは、上述したようにSAC構造が必要であることから、Wポリサイド電極が用いられる。

【0020】一方、ロジックICでは、低電圧でできるだけ多くの電流を流すために、MOSトランジスタのしきい値電圧を低くする必要がある。そのためには、nチャネルMOSトランジスタのゲート電極の多結晶シリコン膜にはPやAsなどのn型不純物をドーパしてn<sup>-</sup>型とし、pチャネルMOSトランジスタのそれにはBF<sub>2</sub>等のp型不純物をドーパしてP<sup>+</sup>型とする必要がある。

【0021】トランジスタの高性能化は、ソース・ドレイン・ゲートを低抵抗化するだけでは不十分であり、トランジスタの特性ばらつきを小さくすることも非常に重

10

20

30

40

50

(4)

5

要である。特性ばらつきの大きな原因の1つとしてしきい値電圧のばらつきがある。

【0022】ゲートの加工寸法（ゲート長）に対して、MOSトランジスタのしきい値電圧を測定すると、短チャネル領域でしきい値電圧の大きな低下が起こる。例えば、基板不純物濃度： $5 \times 10^{17} \text{ cm}^{-3}$ 、ゲート酸化膜厚： $4.0 \text{ nm}$ 、ゲート幅（ $w$ ）： $10 \mu\text{m}$ 、ソース・ドレイン拡散層の不純物濃度： $5 \times 10^{17} \text{ cm}^{-3}$ 、ソース・ドレイン拡散層の接合深さ（ $x_j$ ）： $0.15 \mu\text{m}$ の $n$ チャネルMOSトランジスタについて、しきい値電圧のチャネル長依存性を調べたところ、チャネル長が

$0.2 \mu\text{m}$ 以下になると、しきい値電圧が急激に低下することが分かった。

【0023】チャネルのコンダクタンスはゲート長が短いほど高いため、LSI回路ではよりゲート長の短いMOSトランジスタを採用したい。ところが、ゲート長が

$10 \sim 15 \text{ nm}$ 変化しただけでしきい値電圧が $50 \text{ mV}$ 以上変化するため、このようなゲート長の短いMOSトランジスタを採用すると、加工寸法のばらつき、ゲート酸化膜の膜厚のばらつき、ソース・ドレイン拡散層の不純物濃度分布のばらつきなどの影響によって、しきい値電圧のばらつきが起り易くなる。これはLSIの歩留り低下の大きな原因になる。

【0024】加工寸法のばらつきの次にしきい値電圧のばらつきに大きく影響するのが、素子領域端部における素子分離絶縁膜の形状である。素子と素子の間の分離が $0.3 \mu\text{m}$ 程度以下の高集積回路では、シリコン基板上に $0.2 \sim 0.3 \mu\text{m}$ の深さまでトレンチ（素子分離溝）を掘り、それを埋め込むように酸化膜をCVD法を用いて基板全面に堆積し、トレンチ外の余剰な酸化膜を化学的機械的研磨（CMP：Chemical Mechanical Polishing）で除去することで素子分離を行うというSTI（Shallow Trench Isolation）が一般に用いられている。

【0025】従来、TEOS／オゾン系のCVD-SiO<sub>2</sub>膜による埋込みが行われてきおり、図24（a）に示すように、シリコン基板91に形成したトレンチ（素子分離溝）のアスペクト比が $1 \sim 1.5$ 程度の場合には、ボイドを招くことなく酸化膜92でトレンチを埋め込むことが可能である。

【0026】しかし、素子の微細化に伴いトレンチのアスペクト比が $1.5$ よりも高くなると、トレンチ内を隙間なく酸化膜で埋め込むことが困難になり、図24（b）に示すように、酸化膜92の中央部にボイド（す）93が生じ、不完全な埋込み形状となる。

【0027】ボイド93が生じると、その隙間に水分が吸収されやすいために吸湿性が高くなり、素子特性が劣化する。さらに、ボイド93のできたや吸湿の度合いにはばらつきがあるので、ボイド93は素子特性のばらつきを招く原因となる。

【0028】これを解決するために、HDPプラズマT

6

EOSを用いた埋め込みが提案されている。しかし、アスペクト比が $2 \sim 2.5$ を超えると、酸化膜の埋込みが不完全になり、この場合にも図24（b）に示したようなボイド93が生じる。

【0029】基板バイアスを印加し、堆積した酸化膜をエッチングしながら酸化膜92の成膜を行うと、酸化膜92の込み形状はよくなるが、図25に示すように、トレンチ底部の基板表面に結晶欠陥94が生じ、素子特性が劣化する。さらに、結晶欠陥94の程度にはばらつきがあるので、結晶欠陥94は素子特性のばらつきを招く原因となる。

【0030】また、図24および図25で説明したSTIの場合、酸化膜（堆積絶縁膜）92のエッチング速度が速いため、LSIの製造工程にある複数回の希フッ酸または希釈した弗化アンモンなどによるウエットエッチング処理で、トレンチ上部のエッジに図26に示すようなディヴォット95が生じる。

【0031】この場合、ディヴォット95にゲート電極が食い込み、ここに見かけ上しきい値電圧の低いトランジスタ（コーナトランジスタ）が形成される。ディヴォット95の深さや形状は、パターン依存性があるため、コーナトランジスタのしきい値電圧はゲート幅により大きくばらつき、これは本来のMOSトランジスタのしきい値電圧のばらつきを招く原因となる。さらに、コーナトランジスタが存在すると、図27に示すようにハンブが生じ、素子特性が劣化する。また、ディヴォット95の深さや形状はウェハ面内で不均一であるため、素子特性のばらつきをさらに大きくする。

【0032】このような問題を解決するために、図28に示すように、素子領域と素子分離領域との界面に熱酸化膜96を挟む方法が行われるが、熱酸化膜96を介在させた場合においても程度は軽くなるが、酸化膜92のエッチング速度が大きいために、図28に示すように、トレンチ上部において酸化膜92、96の後退が起こり、しきい値電圧のばらつきが問題になる。

【0033】また、図29に示すように、シリコン基板91上に酸化膜92を先に形成し、次に素子領域に対応した領域の酸化膜92をエッチングにより除去し、次にエッチングによって現れた基板表面（Si）を成長核に用いたエピタキシャル成長によって、素子領域にシリコン層97を選択成長させる方法が提案されている。しかし、この方法では、ファセット98（斜めの結晶面）が形成され、ファセット98の部分にゲート電極が食い込み、図26に示したディヴォット95のある構造の場合と同様な問題が生じる。

【0034】

【発明が解決しようとする課題】上述の如く、高集積回路ではSTIと呼ばれる素子分離が行われているが、素子の微細化に伴いトレンチ（素子分離溝）のアスペクト比が高くなると、トレンチ内に良好な埋込み形状の絶縁

(5)

7

膜を形成することが困難になり、その結果として素子特性がばらつくという問題があった。

【0035】本発明は、上記事情を考慮してなされたもので、その目的とするところは、素子特性のばらつきを抑制できる、STIによる素子分離が可能となる半導体装置の製造方法を提供することにある。また、本発明の他の目的は、素子特性のばらつきが抑制されたMOS型素子を有する半導体装置を提供することにある。

【0036】

【課題を解決するための手段】【構成】上記目的を達成するために、本発明（請求項1）に係る半導体装置の製造方法は、半導体基板上に絶縁膜を形成する工程と、前記絶縁膜に開口部を形成し、前記半導体基板の表面の一部を露出させる工程と、この露出された部分を成長核に用いたエピタキシャル成長によって、前記開口部を充填し、かつ前記絶縁膜上にはみだす厚さの半導体層を形成する工程と、前記開口部外の前記半導体層を除去する工程とを有している。

【0037】また、本発明（請求項2）に係る他の半導体装置の製造方法は、半導体基板上に単結晶絶縁膜を形成する工程と、前記単結晶絶縁膜上に非単結晶絶縁膜を形成する工程と、前記非単結晶絶縁膜に開口部を形成し、前記単結晶絶縁膜の表面の一部を露出させる工程と、この露出された部分を成長核に用いたエピタキシャル成長によって、前記開口部を充填し、かつ前記非単結晶絶縁膜上にはみだす厚さの半導体層を形成する工程と、前記開口部外の前記半導体層を除去する工程とを有している。

【0038】また、本発明（請求項9）に係る他の半導体装置の製造方法は、半導体基板上に絶縁膜を形成する工程と、前記絶縁膜に開口部を形成し、前記半導体基板の表面の一部を露出させる工程と、この露出された部分を成長核に用いたエピタキシャル成長によって、前記開口部内に前記開口部の開口面に達しない厚さの半導体層を形成する工程と、不活性ガス雰囲気中で前記半導体層を加熱する工程とを有している。

【0039】また、本発明（請求項11）に係る半導体装置は、基板の半導体領域に埋め込まれ、かつ上部が前記半導体領域の表面よりも上に突出した素子分離絶縁膜と、素子分離絶縁膜によって素子分離された半導体層と、この半導体層に形成されたMOS型素子とを備え、前記基板に対する前記素子分離絶縁膜の上面位置が、前記基板に対する前記半導体層の上面位置よりも、前記MOS型素子のゲート絶縁膜の膜厚の3倍以上高いものである。

【0040】また、本発明（請求項12）に係る他の半導体装置は、基板の半導体領域に埋め込まれ、かつ上部が前記半導体領域の表面よりも上に突出した素子分離絶縁膜と、素子分離絶縁膜によって素子分離された半導体層と、この半導体層に形成されたMOS型素子とを備

8

え、前記基板に対する前記半導体層の上面位置が、前記基板に対する前記素子分離絶縁膜の上面位置よりも、10nm以上高いものである。

【0041】【作用】本発明（請求項1, 2）に係る半導体装置の製造方法によれば、エピタキシャル成長させて半導体層によって開口部を充填しているため、ばらつきの原因となるボイドの発生を防止できる。さらに上記半導体層を開口部外の絶縁膜上にはみだすように形成しているため、素子特性のばらつきの原因となるファセットが生じない。したがって、素子特性のばらつきを抑制できる、STIによる素子分離が可能となる。

【0042】また、本発明（請求項9）に係る半導体装置の製造方法によれば、エピタキシャル成長させた半導体層によって開口部を充填しているため、ばらつきの原因となるボイドの発生を防止できる。ここで、上記半導体層はその上面が開口部の開口面よりも低くなるように形成しているため、ファセットは生じないが、その後の加熱処理によって半導体層の表面は平坦になり、素子特性のばらつきの原因となるファセットは消滅する。したがって、素子特性のばらつきを抑制できる、STIによる素子分離が可能となる。

【0043】また、本発明に係る半導体装置の如く、素子分離絶縁膜の上面位置とMOS型素子が形成された半導体層（素子領域の半導体層）の上面位置との差を規定すると、実施の形態の項で詳説するように、素子特性、特にしきい値電圧のばらつきを効果的に抑制できるようになる。

【0044】

【発明の実施の形態】以下、図面を参照しながら本発明の実施の形態（以下、実施形態という）を説明する。

【0045】（第1の実施形態）図1および図2は、本発明の第1の実施形態に係る素子分離構造の形成方法を示す工程断面図である。

【0046】まず、図1(a)に示すように、単結晶のシリコン基板1上に素子分離絶縁膜としての熱酸化膜2を形成する。熱酸化膜2を形成するための熱酸化は、900℃以上の雰囲気、通常は水蒸気/酸素雰囲気で行われ、これにより密度が高く、フッ酸や弗化アンモンに対するエッチング速度が遅い熱酸化膜2が得られる。よりエッチング速度の遅い酸化膜2は、10気圧以上の高圧酸性雰囲気下で熱酸化を行うことで得られる。

【0047】次に図1(b)に示すように、フォトリソグラフィおよび異方性エッチングを用いて、素子形成領域に対応した部分の熱酸化膜2を選択的に除去し、熱酸化膜2に開口部を開く。

【0048】ここで、フォトリソの露光には例えばKrFまたはArFエキシマレーザーを用い、異方性エッチングには例えば反応性イオンエッチング（RIE：Reactive Ion Etching）を用いる。

【0049】次に開口部底面の基板表面の炭素やフッ素

(6)

9

からなる汚染層を酸化し、希釈したフッ酸または弗化アンモンにより、開口部底面の基板表面の自然酸化膜の除去を行う。この後、水素を含むガス雰囲気中での熱処理により、開口部底面の基板表面の自然酸化膜の除去をさらに行う。

【0050】次に図1(c)に示すように、露出した基板表面を成長核(シード)に用いてシリコン基板1上にエピタキシャル層3を選択成長させる。エピタキシャル層3は熱酸化膜2よりも厚く、かつ熱酸化膜2上にはみだすように選択成長させる。

【0051】エピタキシャル層3は、シリコン層、シリコンゲルマニウム層(ゲルマニウムがシリコンに対して10~90%の濃度範囲で固溶した合金膜)、またはゲルマニウム層である。

【0052】シリコンのソースガスとしてはジクロルシランを通常用いる。また、残留水蒸気分圧および酸素分圧が $10^{-9}$ Torr以下の成膜装置を用いる場合には、モノシラン、ジシランまたはトリシランを用いても良い。

【0053】ゲルマニウムのソースガスとしては、ゲルマン( $GeH_4$ )または四弗化ゲルマン( $GeF_4$ )を用いる。シリコンゲルマ膜の形成は、いずれのソースガスの組み合わせも可能で、通常、モノシランとゲルマンとの組合せが用いられる。

【0054】選択成長を確実に行うためにHClを添加しても良い。エピタキシャル成長温度は700℃から1100℃までの範囲内で、使用するガスの種類と堆積する膜厚、膜質により所望の条件下で成膜すれば良い。

【0055】次に図2(d)に示すように、CMPまたは機械的研磨(MP: Mechanical Polishing)により、熱酸化膜2の開口部の外部の余剰なエピタキシャル層3を除去し、表面を平坦化する。

【0056】次に図2(e)に示すように、素子形成領域に残ったエピタキシャル層3の表面を10~50nm程度エッチングして、図2(d)の工程でエピタキシャル層3の表面に形成された結晶損傷層を除去する。この結果、エピタキシャル層3の表面は熱酸化膜2の表面よりも下に位置するようになる。

【0057】上記エッチングは、エピタキシャル層3がシリコン層およびシリコンゲルマニウム層の場合、例えば硝酸に10%以下のフッ酸を混合させた液を酢酸または純水で希釈した液を使用したウェットエッチングである。

【0058】また、ゲルマニウム層の場合には、硝酸に10%以下のフッ酸を混合させた液を酢酸または純水で希釈した液を用いたウェットエッチング、または硫酸(必要があれば加熱または水で希釈するなりして、エッチング速度を制御する。)を用いたウェットエッチングである。

【0059】最後に、水素を含む雰囲気中での熱処理に

10

よって、エピタキシャル層3の表面を原子層レベルで平坦化するとともに、熱酸化膜2とエピタキシャル層3との界面の歪みを緩和し、界面準位密度を $5 \times 10^{10} \text{ cm}^{-2}$ 程度以下に低減する。この後は、従来と同様に、エピタキシャル層3に所望の半導体素子、例えばMOSトランジスタを形成する工程が続く。

【0060】以上述べたように本実施形態によれば、エピタキシャル層3によって開口部を充填しているの、ばらつきの原因となるボイドの発生を防止でき、さらにエピタキシャル層3を開口部外の熱酸化膜2上にはみだすように形成しているの、ばらつきの原因となるファセットの発生も防止できる。したがって、本実施形態によれば、素子の微細化を進めても、素子特性のばらつきを効果的に抑制できる素子分離構造を実現できるようになる。

【0061】なお、本実施形態では、エピタキシャル層3の表面が熱酸化膜2の表面よりも下に位置するようにしたが、逆に熱酸化膜2の表面のほうが低くても良く、あるいは両者が同じ高さであっても良い。要は、エピタキシャル層3を熱酸化膜2よりも厚く、かつ熱酸化膜2上にはみだすように選択成長させた後、余剰なエピタキシャル層3を除去すれば、特性ばらつきの原因となるボイドおよびファセットを防止できるので、最終的な素子分離構造は適宜選択すれば良い。

【0062】(第2の実施形態)図3は、本発明の第2の実施形態に係る素子分離構造の形成方法を示す工程断面図である。なお、図1および図2に対応する部分には図1および図2と同一符号を付し、詳細な説明は省略する。

【0063】まず、図1(a)~図1(c)に示した工程を行う。

【0064】次に図3(a)に示すように、表面を平坦にするために全面にシリコン膜4を形成する。シリコン膜4の代わりにシリコンゲルマニウム膜、またはゲルマニウム膜を形成しても良い。

【0065】次に図3(b)に示すように、熱酸化膜2の開口部の外部のシリコン膜4およびエピタキシャル層3をCMPまたはMPによって除去し、表面を平坦にする。ここで、エピタキシャル層3の厚さは熱酸化膜2の開口部の寸法の違いや密度の違いによって変わるというパターン依存性を持っているが、シリコン膜4によって表面が平坦になっているので、パターン依存性が改善され、CMP等後の表面の平坦性は十分に高くなる。この後の工程は、第1の実施形態の図2(e)の工程以降と同じである。

【0066】(第3の実施形態)図4および図5は、本発明の第3の実施形態に係る素子分離構造の形成方法を示す工程断面図である。本実施形態は第1の実施形態をSOI基板に適用した例である。

【0067】まず、図4(a)に示すように、単結晶の



(7)

11

シリコン基板11上に、 $\text{CeO}_2$ 、YSZ (Yttrium Stabilized Zirconia)、 $\text{CaF}_2$  またはダイヤモンドなどの絶縁物からなる単結晶絶縁膜12を形成した後、単結晶絶縁膜12上に素子分離絶縁膜としての酸化膜13を形成する。

【0068】酸化膜13は900℃以上の酸化性雰囲気中で熱酸化により形成するか、あるいは堆積形成した後に900℃以上の過熱を行うことによって形成する。このような方法により、フッ酸や弗化アンモンに対するエッチング速度の遅い酸化膜13が得られる。さらにエッチング速度の遅い酸化膜13を得るためには、10気圧以上の高圧酸化性雰囲気中で熱酸化を行うと良い。

【0069】次に図4(b)に示すように、フォトリソグラフィおよび異方性エッチングを用いて、素子形成領域に対応した領域の酸化膜13を選択的に除去し、酸化膜13に開口部を開く。フォトレジストの露光には例えばKrFまたはArFエキシマレーザーを用い、異方性エッチングには例えばRIEを用いる。

【0070】次に単結晶絶縁膜12の表面の炭素やフッ素からなる汚染層を酸化し、希釈したフッ酸または弗化アンモンにより、開口部底面の単結晶絶縁膜12の表面の自然酸化膜の除去を行い、続いて水素を含むガス雰囲気中で熱処理により、開口部底面の単結晶絶縁膜12の表面の自然酸化膜の除去をさらに行う。

【0071】次に図4(c)に示すように、露出した単結晶絶縁膜12の表面を成長核(シード)に用いてエピタキシャル層14を選択成長させる。エピタキシャル層14は酸化膜13よりも厚く、かつ酸化膜13上にはみだすように選択成長させる。

【0072】エピタキシャル層14は、シリコン層、シリコンゲルマニウム層(ゲルマニウムがシリコンに対して10-90%の濃度範囲で固溶した合金膜)、またはゲルマニウム層である。

【0073】シリコンのソースガスとしてはジクロルシランを通常用いる。また、残留水蒸気分圧および酸素分圧が $10^{-9}\text{Torr}$ 以下の成膜装置を用いる場合には、モノシラン、ジシランまたはトリシランを用いても良い。

【0074】ゲルマニウムのソースガスとしては、ゲルマン( $\text{GeH}_4$ )または四弗化ゲルマン( $\text{GeF}_4$ )を用いる。シリコンゲルマ膜の形成は、いずれのソースガスの組み合わせも可能で、通常、モノシランとゲルマンとの組合せが用いられる。

【0075】選択成長を確実に行うためにHClを添加しても良い。エピタキシャル成長温度は700℃から1100℃までの範囲内で、使用するガスの種類と堆積する膜厚、膜質により所望の条件下で成膜すれば良い。

【0076】次に図5(d)に示すように、CMPまたはMPにより、酸化膜13の開口部の外部の余剰なエピタキシャル層14を除去し、表面を平坦化する。

12

【0077】次に図5(e)に示すように、素子形成領域に残ったエピタキシャル層14の表面を10~50nm程度エッチングして、図5(d)の工程でエピタキシャル層14の表面に生じた結晶損傷層を除去する。この結果、エピタキシャル層14の表面は酸化膜13の表面よりも下に位置するようになる。

【0078】上記エッチングは、エピタキシャル層14がシリコン層およびシリコンゲルマニウム層の場合、例えば硝酸に10%以下のフッ酸を混合させた液を酢酸または純水で希釈した液を使用したウェットエッチングである。

【0079】また、ゲルマニウムの場合には、硝酸に10%以下のフッ酸を混合させた液を酢酸または純水で希釈した液を用いたウェットエッチング、または硫酸(必要があれば加熱または水で希釈するなりして、エッチング速度を制御する。)を用いたウェットエッチングである。

【0080】最期に、水素を含む雰囲気中で熱処理によって、エピタキシャル層14の表面を原子層レベルで平坦化するとともに、酸化膜13とエピタキシャル層14との界面の歪みを緩和し、界面準位密度を $5 \times 10^{10}\text{cm}^{-2}$ 程度以下に低減して、素子分離構造が完成する。この後は、従来と同様に、エピタキシャル層14に所望の半導体素子、例えばMOSトランジスタを形成する工程が続く。

【0081】なお、図4(c)の工程で、エピタキシャル層13の厚さのパターン依存性を改善するために、第2の実施形態と同様に、全面にシリコン膜等を形成しても良い。

【0082】本実施形態でも、同様に第1の実施形態と、ばらつきの原因となるボイド、ファセットの発生を防止でき、したがって素子の微細化を進めても、素子特性のばらつきを効果的に抑制できる素子分離構造を実現できるようになる。さらに、本実施形態によれば、従来よりもSOI基板における素子分離を容易に行えるようになる。

【0083】(第4の実施形態)図6~図9は本発明の第4の実施形態に係るMOSトランジスタの製造方法を示す工程断面図である。

【0084】まず、図6(a)に示すように、単結晶のシリコン基板21上に熱酸化により厚さ200~300nm程度の熱酸化膜22を形成する。熱酸化後に、 $\text{NO}$ 、 $\text{N}_2\text{O}$ 、 $\text{NH}_3$  または窒素ラジカルなどを用いて、熱酸化膜22の表面から少なくとも10~20nm程度の深さの領域を $\text{SiNO}$ 膜などに変えても良い。

【0085】次に同図(a)に示すように、第1の実施形態と同様に、フォトリソグラフィおよび異方性エッチングを用いて、素子形成領域に対応した領域の熱酸化膜22を選択的に除去し、次に熱酸化膜22よりも厚く、かつ熱酸化膜22上にはみだすようにエピタキシャル層

(8)

13

23を選択成長させ、次に第2の実施形態と同様に、エピタキシャル層23の厚さのパターン依存性を改善するために、シリコン膜24を全面に形成する。

【0086】エピタキシャル層23は、シリコン層、シリコンゲルマニウム層、またはゲルマニウム層である。シリコン膜24の代わりにシリコンゲルマニウム膜、またはゲルマニウム膜を形成しても良い。

【0087】次に図6(b)に示すように、熱酸化膜22の開口部の外部のシリコン膜24およびエピタキシャル層23をCMPまたはMPによって除去し、表面を平坦にする。

【0088】この後、エピタキシャル層23の表面の結晶性を改善するために、800℃以上の温度、好ましくは900℃以上の温度の水素雰囲気中で熱処理を行う。このような熱処理によって、Si原子が表面で移動して原子レベルで平坦化され、結晶性が改善される。

【0089】以上述べた方法を用いると、0.15μm以下の分離幅で容易に素子領域(エピタキシャル層23)と素子分離領域(熱酸化膜22)を形成できる(従来方法では0.18μm程度が限界)。

【0090】この後は、MOSトランジスタの製造工程であり、まず、図6(c)に示すように、エピタキシャル層23上に厚さ3~10nm程度の熱酸化膜25を形成する。

【0091】次に図7(d)に示すように、熱酸化膜25上にゲート電極と同じパターンのダミーゲート膜26を形成する。ダミーゲート膜26にはシリコン窒化膜とアモルファスシリコン膜との積層膜(SiN/a-Si膜)を用い、これを異方性エッチングにより加工することでダミーゲート膜26を形成する。

【0092】ここで、ダミーゲート膜26の上層の膜はシリコン窒化膜に限定されるものではなく、後工程(図7(f))の層間絶縁膜30の研磨による平坦化工程において、層間絶縁膜30よりも研磨速度が遅くなる膜を使用すれば良い。

【0093】また、ダミーゲート膜26の下層の膜はアモルファスシリコン膜に限定されるものではなく、熱酸化膜25よりもエッチング速度の速い膜を使用すれば良い。具体的には、多結晶シリコン膜等のSi系の膜であれば良い。

【0094】次に同図(d)に示すように、熱酸化膜25およびダミーゲート膜26をマスクにして、イオン注入、プラズマドーピング、または気相拡散などの不純物導入法を用いて、基板表面に不純物を導入してソース・ドレイン領域のエクステンション領域(LDD)27を形成する。

【0095】上記不純物の電気的な活性化は、100℃/sec以上の昇温速度が可能なRTA(Rapid Thermal Annealing)を用いて、800~1000℃、30秒以下の熱処理によって行う。

14

【0096】次に図7(e)に示すように、厚さ5~30nm程度のシリコン窒化膜またはシリコン窒化酸化膜からなるゲート側壁絶縁膜28をいわゆる側壁残しにより形成する。後工程のダミーゲート膜26の除去工程時に、ゲート側壁絶縁膜28が横方向に後退しないように、ゲート側壁絶縁膜28とダミーゲート膜26との間に厚さ10nm以下の酸化膜が介在していることが望ましい。

【0097】次に同図(e)に示すように、イオン注入、プラズマドーピングまたは気相拡散などの不純物導入法を用いて、基板表面に不純物を導入してソース・ドレイン領域の深い領域29を形成する。上記不純物の電気的な活性化は100℃/sec以上の昇温速度が可能なRTAを用いて、800~900℃、30秒以下の熱処理によって行なう。

【0098】活性化した不純物の濃度を高めるために、電子ビームや紫外領域の波長を有するレーザー、水銀ランプまたはキセノンランプを用いて、1000℃以上、1秒以下の熱処理を行なっても良い。図7(d)の工程における不純物の電気的な活性化を本工程で行っても良い。

【0099】この後、同図(e)に示すように、ダミーゲート膜26よりも厚い層間絶縁膜30をCVD法により全面に堆積する。ここでは、層間絶縁膜30として、ダミーゲート膜26の上部の膜であるシリコン窒化膜よりも研磨速度を十分に速くできるSiO<sub>2</sub>膜を用いる。

【0100】次に図7(f)に示すように、ダミーゲート膜26の表面が露出するまで、層間絶縁膜30をCMPにより研磨して表面を平坦にする。

【0101】次に図8(g)に示すように、等方性エッチングと異方性エッチングを組み合わせたエッチングによりダミーゲート膜26を除去した後、熱酸化膜25をエピタキシャル層23に結晶欠陥を形成しないようにエッチングにより除去して、開口部31を形成する。

【0102】次に図8(h)に示すように、開口部51の底面にB、Ga、In、P、AsまたはSbのイオン32を注入して、チャンネル不純物ドーピング層33を形成する。

【0103】このイオン注入は低温で行うことが好ましい。具体的には、基板温度を-60℃以下、望ましくは-100℃以下になるようにシリコン基板21を冷却しながらイオン注入を行なう。

【0104】このような低温でイオン注入を行うと、原子空孔の集合化を抑制できるため、熱処理により結晶欠陥を完全に回復できる。注入角度はシリコン基板21の表面に対して垂直または垂線から5°以内であることが好ましい。

【0105】上記不純物の活性化のための熱処理は、一度熱処理室を真空中に引くか、またはNもしくはArなどの不活性ガスを十分に流して、酸素、水蒸気、二酸化炭

(9)

15

素などの酸化剤が熱処理室内に混入しない状態で熱処理を開始することが望ましい。図8 (i) に熱処理後の断面図を示す。

【0106】この後、過酸化水素水、オゾン水を含む水溶液によるウェット処理、または酸素ラジカルもしくはオゾンを用いるドライ処理により、開口部31の底面のエピタキシャル層3の表面に厚さ1 nm以下の図示しない酸化膜を形成する。

【0107】次に図4 (j) に示すように、開口部31の表面(底面および側面)を覆うように、 $Ta_2O_5$ 、 $TiO_2$ 、BSTOまたは $CeO_2$  など  $SiO_2$  よりも比誘電率の高い絶縁材料からなる、厚さ1~20 nm程度のゲート絶縁膜34を形成する。

【0108】ゲート絶縁膜34の膜厚が20 nmを超えると、開口部31内に占めるゲート絶縁膜34の割合が大きくなりすぎて、ゲート抵抗が大きくなったり、あるいはゲート電圧によるチャネル部のキャリアの制御、すなわちしきい値電圧の制御が困難になる。

【0109】ゲート絶縁膜34をCVD法で形成する場合、不均一成長を防止するために、ゲート絶縁膜34の形成前に、自然酸化膜やケミカルオキサイド膜等の表面酸化膜を除去し、次に酸素を1~2原子層分吸着させるか、もしくは  $Si-O$  結合層を形成すると良い。この後、CVD法で $Ta_2O_5$ 、 $TiO_2$ 、BSTOまたは $CeO_2$  などの高誘電率絶縁物からなるゲート絶縁膜34を形成する。また、厚さ2~3 nm程度の $SiO_xN_y$  膜を堆積したり、あるいは上記図示しない酸化膜の表面を500℃以下の温度で窒素ラジカルなどを用いて窒素化しても良い。

【0110】また、1 nm以下の $SiO_xN_y$  層上に上記 $Ta_2O_5$ 、 $TiO_2$  などの高誘電率絶縁膜を形成しても良い。

【0111】次に同図(j) に示すように、ゲートの仕事関数を決定する金属導電性を有する導電性薄膜、例えば厚さ10 nm以下の $TiN$ 膜35をゲート絶縁膜34上に形成する。

【0112】このとき、 $TiN$ 膜35の結晶粒径が30 nm以下になるように、 $TiN$ の組成、堆積温度、圧力などの成膜条件を設定する。本実施形態では、300℃以下の温度で $Ti$ と $N$ の比率が1:1よりも $N$ が過剰になるように、 $Ar$ と $N$ の分圧比を制御して $TiN$ 膜をスパッタ法により形成し、この $TiN$ 膜に30%以下の酸素を添加することによって $TiN$ 膜35を形成する。

【0113】添加する酸素の濃度を1%から10%にすることにより、 $TiN$ 膜35の結晶粒径を10 nm以下にすることが可能となる。酸素濃度をこれ以上に増加させると、電気導電率が低下して金属的な伝導を示さなくなるためそれ未満にすることが必要である。

【0114】また酸素以外に $TiN$ 膜に $B$ (ボロン)や $C$ (カーボン)を添加して、結晶粒径を無添加の $TiN$

16

膜よりも小さくすることが可能であり、10~30%の $B$ や $C$ の添加によりアモルファスにすることができる。

【0115】 $B$ や $C$ の添加は、 $TiN$ をスパッタする際に $B$ や $C$ を含む化合物ガス、例えばボロン水素化物またはカーボン水素化物、 $B$ 弗化物または $C$ 弗化物を用いるか、スパッタターゲットとして $B$ または $C$ を含む $Ti$ ターゲットを $Ar$ と $N$ の混合ガス中で化成スパッタするか、 $B$ または $C$ を含む $TiN$ ターゲットを $Ar$ でスパッタすることにより可能である。 $TiN$ に $O$ 、 $B$ 、 $C$ などの不純物を添加し、 $TiN$ の組成を制御することにより、仕事関数を4.5 eV以下に設定することが可能である。

【0116】また、 $TiCl_4$ と $NH_3$ を用いたCVD法を用いて600℃以下の温度で $Ti$ と $N$ の比率が1:1よりも $N$ が過剰になるように成膜しても良い。600℃よりも高い温度にすると、 $TiN$ 膜の表面の凹凸が著しく大きくなり、その上に低抵抗金属膜を均一に形成することができなくなる。

【0117】また、スパッタ法で形成した $TiN$ 膜と同様に30%以下の酸素を添加する方法を用いて微結晶化しても良い。添加する酸素の濃度は望ましくは1~10%の範囲であり、このような酸素量により結晶粒径を30 nm以下にすることが可能となる。膜厚を10 nm程度以下にすれば、結晶粒径を10 nm以下に制御することが可能である。

【0118】また、ジメチルアミノチタン( $Ti\{N(CH_3)_2\}_4$ )やジメチルアミノチタン( $Ti\{N(CH_3)_2\}_4$ )を水素を含む雰囲気中で熱分解またはプラズマを用いて $TiN$ 膜および $TiCN$ 膜を形成しても良い。

【0119】ゲート電極の比抵抗が $50 \mu\Omega \cdot cm$ 以上でも良い場合には、ゲート電極すべてを $TiN$ 膜で形成しても良い。この場合には、膜厚が50 nm以上の $TiN$ 膜を形成する必要があるため、柱状または針状結晶で配向性のある膜またはアモルファス膜であることが必要である。

【0120】 $TiN$ 以外の電極材料としては、例えば $Ta$ 窒化物、 $Nb$ 窒化物、 $Zr$ 窒化物、 $Hf$ 窒化物などの金属窒化物、あるいは金属炭化物、金属硼化物、金属- $Si$ 窒化物、金属- $Si$ 炭化物、金属炭素窒化物などがある。

【0121】望ましくは、これらの電極材料からなる、ゲートの仕事関数を決定する金属導電性を有する導電性薄膜とゲート絶縁膜34との熱的な安定性のためには、導電率を50%以上低下させない範囲内で酸素を添加することが有効である。また、これらの電極材料は $Ta$ 酸化物、 $Ti$ 酸化物、 $Zr$ 酸化物、 $Hf$ 酸化物、 $Ce$ 酸化物との界面の熱的な安定性も優れている。

【0122】最後に、図9 (k) に示すように、開口部36内にゲート電極36を埋込み形成してMOSトラン

(10)

17

ジスタが完成する。ゲート電極36の1つの形成方法としては、スパッタ法によりA1膜を全面に形成し、リフローにより開口部31内をA1膜で充填し、開口部31外の余剰なA1膜、ゲート絶縁膜34およびTiN膜35をCMPまたはMPにより除去する方法がある。他の方法としては、CVD法によりW膜など比抵抗が低い金属膜を開口部31内を充填するように全面に堆積した後、開口部31外の余剰な上記金属膜、ゲート絶縁膜34およびTiN膜35をCMPまたはMP用により除去する方法がある。

【0123】ソース・ドレイン領域を低抵抗化する必要がある場合には、図7(d)の工程と図7(e)の工程との間に、 $\text{CoSi}_2$ 層または $\text{TiSi}_2$ 層などの金属シリサイド層をソース・ドレイン領域の表面に形成する工程を追加すると良い。

【0124】ここで、ソース・ドレイン領域29の深さが100nm以下の場合には、ソース・ドレイン領域29上にシリコン層、シリコンゲルマニウム層またはシリコンゲルマニウム炭素層をエピタキシャル成長させ、金属シリサイド層で侵食されるエピタキシャル層23を、ソース・ドレイン領域29とエピタキシャル層23との界面(p-n接合界面)から5nm以上遠ざけることが好ましい。

【0125】本実施形態では、ダマシゲート型のMOSトランジスタの製造方法について説明したが、通常MOSトランジスタを製造するには、図7(d)の工程でダミーゲート膜26の代わりに、通常のn型もしくはp型のポリシリコン膜、シリサイド膜/金属膜の積層膜、またはシリサイド膜/n型もしくはp型のポリシリコン膜の積層膜からなるゲート電極を形成すれば良い。ゲート電極上に酸化膜よりもエッチング速度の遅い窒化膜などを積層しても良い。

【0126】図10は、本発明の方法および従来の方法で形成したMOSトランジスタのしきい値電圧 $V_{th}$ のゲート長依存性を示す。本発明の方法で形成したMOSトランジスタは、ファセット等による、素子分離領域と素子領域との境界における素子分離絶縁膜の後退がないものである。また、素子領域のSi表面は素子分離絶縁膜表面より15nm下方に後退させている。従来の方法で形成したMOSトランジスタは、ファセット等による、素子分離領域と素子領域との境界における素子分離絶縁膜の後退があるものである。

【0127】図から、本発明の方法の形成したMOSトランジスタのしきい値電圧 $V_{th}$ のばらつきは30mV以下で小さいが、従来の方法の形成したMOSトランジスタのそれは50~100mV程度で大きいことが分かる。従来の方法でしきい値電圧 $V_{th}$ のばらつきが大きくなる理由は、従来の方法では素子分離絶縁膜の後退が生じ、その量がばらつきを持つためである。

【0128】(第5の実施形態)図11および図12

18

は、本発明の第5の実施形態に係る素子分離構造の形成方法を示す工程断面図である。

【0129】まず、図11(a)に示すように、単結晶のシリコン基板41の表面に厚さ200nm程度の酸化膜42を熱酸化により形成し、次に酸化膜42上に厚さ50nm程度のシリコン窒化膜43をCVD法により形成する。シリコン基板41の導電型はp型、面方位は(100)である。

【0130】ここでは、酸化膜42の膜厚を200nmとしたが400nmでも良く、その場合には例えば1000℃でシリコン基板41を酸化する。また、シリコン窒化膜43の膜厚を50nmとしたが15nmでも良く、その場合には例えば $\text{SiCl}_2\text{H}_2$ と $\text{NH}_3$ を用いた減圧CVD法で形成する。

【0131】次に図11(b)に示すように、フォトリソグラフィとRIEを用いてシリコン窒化膜43、酸化膜42を加工して、素子形成領域に対応した領域にシリコン基板41に達する開口部44を形成する。ここで、シリコン窒化膜43はフォトレジストをマスクにしてエッチングし、酸化膜42は上記フォトレジストを剥離し、フォトレジストのパターンが転写されたシリコン窒化膜43をマスクにしてエッチングする。なお、フォトレジストをマスクにしてシリコン窒化膜43および酸化膜42をエッチングしても良い。

【0132】次にエピタキシャル成長の前処理として、 $\text{CF}_4$ と酸素の混合ガスを用いたCDE (Chemical Dry Etching) 法にて基板表面を10nmほどエッチングすることによって、RIEにより基板表面に生じたダメージ層を除去した後、希弗酸を用いたウェット処理により基板表面の自然酸化膜を除去する。CDEは $\text{O}_2$ を用いたRIEで置き換えることもできる。

【0133】次に図11(c)に示すように、露出した基板表面を成長核(シード)に用いてエピタキシャル層45を選択成長させる。エピタキシャル層45は、開口部44を充填し、シリコン窒化膜43上にはみだすように選択成長させる。エピタキシャル層45は、第1の実施形態と同様に、シリコン層、シリコンゲルマニウム層、またはゲルマニウム層である。シリコン層の場合には、例えば $\text{SiH}_4$ と $\text{H}_2$ との混合ガスを用いたり、 $\text{SiH}_2\text{Cl}_2$ と $\text{H}_2$ の混合ガス、あるいはこれらに $\text{HCl}$ を添加したガスを用いる。

【0134】次に図12(d)に示すように、開口部44の外部の余剰なエピタキシャル層45を、Siに対するSiNの研磨レートが十分に遅い条件のCMPにより除去し、表面を平坦にする。砥粒には例えばセリアを用いる。

【0135】次に図12(e)に示すように、熱酸化により150nm程度の厚さの酸化層46を形成する。このとき、酸化層46とエピタキシャル層45との界面の位置は、シリコン窒化膜43の表面の位置よりもおよそ

(11)

19

75 nmだけ下方になる。

【0136】次に図12 (f) に示すように、酸化層46をRIEにより選択的に除去した後、シリコン窒化膜43をリン酸液を用いたウェットエッチングにより選択的に除去する。この結果、素子形成領域のエピタキシャル層45の表面の位置は素子分離領域の酸化膜42の表面の位置よりも25 nmだけ下方になる。ここでは、酸化層46をRIEにて除去したが、BHFあるいはDHF溶液を用いたウェットエッチングにより除去しても良い。この後は、従来と同様に、エピタキシャル層45に  
10 所望の半導体素子を形成する工程が続く。

【0137】本実施形態でも、第1の実施形態と同様に、ボイドやファセットの発生を防止でき、第1の実施形態と同様の効果が得られる。

【0138】(第6の実施形態) 図13は、本発明の第6の実施形態に係る素子分離構造の形成方法を示す工程断面図である。なお、図11および図12と対応する部分には図11および図12と同一符号を付し、詳細な説明は省略する。

【0139】まず、第5の実施形態の図11 (a) ~ 図12 (d) に示した工程を行う。

【0140】次に図13 (a) に示すように、熱酸化によって50 nm程度の厚さの酸化層46を形成する。このとき、酸化膜42とシリコン窒化膜43との界面の位置は、酸化層46とエピタキシャル層45との界面の位置よりもおよそ25 nmだけ下方になる。シリコン窒化膜43の膜厚を15 nmとした場合には、例えば900℃で10 nm程度の熱酸化をする。

【0141】最期に、図13 (b) に示すように、酸化層46をRIEにより選択的に除去して素子分離構造が  
30 完成する。この後に、第1の実施形態と同様に、表面を原子レベルで平坦化するための熱処理を行っても良い。素子形成領域のエピタキシャル層45の表面の位置は素子分離領域のシリコン窒化膜43の表面の位置よりも25 nmだけ下方になる。10 nm程の熱酸化した場合には、10 nm程度だけ下方になる。

【0142】(第7の実施形態) 図14は、本発明の第7の実施形態に係る素子分離構造の形成方法を示す工程断面図である。なお、図11および図12と対応する部分には図11および図12と同一符号を付し、詳細な説明は省略する。  
40

【0143】まず、第5の実施形態の図11 (a) ~ 図11 (b) に示した工程 (RIEにより生じたダメージ層の除去、自然酸化膜の除去を含む) を行う。

【0144】次に図14 (a) に示すように、露出した基板表面を成長核 (シード) に用いて、シリコン窒化膜43上にはみださないように、エピタキシャル層45を選択成長させる。したがって、開口部44内にはファセットが生じることになる。また、ここでは、エピタキシャル層45の表面をシリコン酸化膜42の表面よりも少  
50

20

しだけ高くなるように選択成長を行う。

【0145】次に図14 (b) に示すように、10 Torr程度の減圧H<sub>2</sub> 雰囲気中での1000℃、5分程度のアニールによりエピタキシャル層45を流動させ、エピタキシャル層45の表面を平坦にする。この結果、ファセットは消滅する。また、エピタキシャル層45の表面はシリコン酸化膜42の表面よりも低くなる。

【0146】最後に、図14 (c) に示すように、シリコン窒化膜43をリン酸によるウェットエッチングにより  
10 選択的に除去して、素子分離構造が完成する。

【0147】(第8の実施形態) 図15は、本発明の第8の実施形態に係る半導体装置の製造方法を示す工程断面図である。なお、図11および図12と対応する部分には図11および図12と同一符号を付し、詳細な説明は省略する。

【0148】まず、第5の実施形態の図11 (a) ~ 図12 (d) までの工程を行う。

【0149】次に図15 (a) に示すように、シリコン窒化膜43を熱リン酸処理あるいはフッ酸グリセロール処理などによるエッチングによりプルバック (pull back) し、エピタキシャル層45の周囲のシリコン窒化膜43を除去し、開口部47を形成する。

【0150】次に図15 (b) に示すように、エピタキシャル層45の表面から150 nm程度の深さまでの領域を熱酸化して酸化層46を形成する。この結果、酸化層46とエピタキシャル層45との界面の位置は、シリコン窒化膜42の表面の位置よりもおよそ75 nmだけ下方になる。

【0151】このとき、酸化種が開口部47を通して酸化膜42とエピタキシャル層45との界面に拡散し、その界面を熱酸化することで、良好な素子分離特性を得ることができる。また、この熱酸化によってCMPにより劣化したエピタキシャル45の結晶性が回復する。

【0152】最期に、図15 (c) に示すように、酸化層46をRIEにより選択的に除去した後、シリコン窒化膜43をリン酸によるウェットエッチングにより選択的に除去して、素子分離構造が完成する。素子形成領域のエピタキシャル層45の表面の位置は素子分離領域の酸化膜42の表面の位置よりも25 nmだけ下方になる。  
40

【0153】(第9の実施形態) 図16および図17は、本発明の第9の実施形態に係る素子分離構造の形成方法を示す工程断面図である。なお、図11および図12と対応する部分には図11および図12と同一符号を付し、詳細な説明は省略する。

【0154】まず、図16 (a) に示すように、第5の実施形態と同様に、シリコン基板41上に厚さ200 nm程度の酸化膜42、厚さ10 nm程度のシリコン窒化膜43を順次形成する。次に同図 (a) に示すように、シリコン窒化膜43上に厚さ50 nm程度のSiO<sub>2</sub> 膜

(12)

21

48、厚さ50nm程度のシリコン窒化膜49をCVD法により順次形成する。

【0155】次に図16(b)に示すように、フォトリソグラフィとRIEを用いて酸化膜42、シリコン窒化膜43、SiO<sub>2</sub>膜48およびシリコン窒化膜49を加工して、シリコン基板41に達する開口部44を形成する。

【0156】次にエピタキシャル成長の前処理として、RIEにより基板表面に生じたダメージ層をO<sub>2</sub>-RIEにより除去した後、希弗酸を用いたウェット処理により基板表面の自然酸化膜を除去する。

【0157】次に図16(c)に示すように、露出した基板表面を成長核(シード)に用いてエピタキシャル層45を選択成長させる。エピタキシャル層45は、開口部44を充填し、シリコン窒化膜49上にはみだすように選択成長させる。

【0158】次に図16(d)に示すように、開口部44の外部の余剰なエピタキシャル層45を、Siに対するSiNの研磨レートが十分に遅い条件のCMPにより除去し、表面を平坦にする。

【0159】次に図17(e)に示すように、エピタキシャル層45の表面から150nm程度の深さまでの領域を熱酸化して酸化層46を形成する。このとき、CMPにより劣化したエピタキシャル45の結晶性が回復する。

【0160】次に図17(f)に示すように、リン酸を用いたウェットエッチングによりシリコン窒化膜49を除去し、続いてフッ酸を用いたウェットエッチングにより酸化層46およびSiO<sub>2</sub>膜48を除去する。

【0161】この後、エピタキシャル層43を再び熱酸化し、酸化膜42とエピタキシャル層45との界面を改質する。これにより、良好な素子分離特性を得ることができる。このような界面改質が可能となる理由は、シリコン窒化膜43の膜厚が10nm程度と薄いからである。

【0162】最期に、図17(g)に示すように、上記再酸化で形成された図示しないSiO<sub>2</sub>膜、シリコン窒化膜43を順次ウェットエッチングにより除去して、素子分離構造が完成する。

【0163】(第10の実施形態)図18は、本発明の第10の実施形態に係る素子分離構造の形成方法を示す工程断面図である。

【0164】まず、第5の実施形態の図11(a)~図11(b)の工程を行う。

【0165】次に図18(a)に示すように、CVD法により厚さ5nmのシリコン窒化膜を全面に形成した後、CHF<sub>3</sub>ガスを用いたRIEにより上記シリコン窒化膜をエッチバックし、開口部44の側壁にシリコン窒化膜50を形成する。

【0166】次にエピタキシャル成長の前処理として、

22

CF<sub>4</sub>と酸素の混合ガスを用いたCDE法にて基板表面を10nmほどエッチングすることによって、RIEにより基板表面に生じたダメージ層を除去する。この後、希弗酸を用いたウェット処理により基板表面の自然酸化膜を除去する。

【0167】次に図18(b)に示すように、開口部44内にエピタキシャル層45内に埋め込み形成する。この工程は、第5の実施形態の図11(c)の工程(エピタキシャル層45の選択成長)~図12(d)の工程(CMPによる余剰なエピタキシャル45の除去)と同じである。ここで、開口部44の側壁にはシリコン窒化膜50が形成されているので、エピタキシャル層45の選択成長の際にファセットは生じない。この後の工程は、第5の実施形態の図12(e)の工程以降と同様である(図18(c)、図18(d))。

【0168】このようにして得られた素子領域のエピタキシャル43にゲート酸化膜の膜厚が4nmのMOSトランジスタを作成し、その電流電圧特性を調べたところ、ハンプは観察されず、良好なトランジスタ特性が得られた。また、ウェハ面内に100個のMOSトランジスタを作成し、これらを評価したところ、異常なリーク電流は観察されなかった。さらに、素子分離領域端部には結晶欠陥の発生は認められなかった。これは応力の集中がないためと思われる。

【0169】(第11の実施形態)図19は、本発明の第11の実施形態に係るMOSトランジスタを説明するための断面図である。これはチャネル幅方向に平行な面の断面図である。

【0170】図中、61は素子領域のシリコン層(基板表面の半導体領域の半導体層)、62は素子分離絶縁膜(シリコン酸化膜)、63はゲート酸化膜、64はゲート電極、P<sub>Si</sub>は基板(不図示)に対するシリコン層61の上面位置、P<sub>ins.</sub>は基板に対する素子分離絶縁膜62の上面位置をそれぞれ示している。シリコン層61は、例えば第1~第10の実施形態のいずれかの方法で形成したものである。基板は通常のシリコン基板、SOI基板のいずれでも良い。

【0171】本実施形態が従来と異なる点は、上面位置P<sub>ins.</sub>を基準にした上面位置P<sub>Si</sub>の高さ(段差量)δがゲート酸化膜63の膜厚t<sub>ox</sub>の3倍以上50nm以下(3t<sub>ox</sub> ≤ δ ≤ 50nm)に設定されていることにある。

【0172】3t<sub>ox</sub> ≤ δ ≤ 50nmに設定した理由は、後述するように、デバイス特性の特性変動、特にしきい電圧V<sub>th</sub>の変動を従来よりも小さくできるからである。これにより製造プロセスに対しマージンを与えることが可能となる。また、素子形成領域のコナ部における酸化膜厚が大きくなるため、段差量δの変動がコーナトランジスタ(corner)に与える影響が緩和される。

【0173】図20は、図19のMOSトランジスタを

(13)

23

改良したMOSトランジスタを示している。このMOSトランジスタでは、ディヴォットを防止するために、素子分離絶縁膜62が素子分離領域を越えてシリコン層61上にも形成されている。前記シリコン層61上における素子分離絶縁膜62のチャンネル幅方向の寸法65はゲート酸化膜63の膜厚以上であり、その分ゲート電極64のチャンネル幅方向の寸法が小さくなっている。

【0174】図21に、段差量 $\delta$ としきい電圧 $V_{th}$ との関係を三次元デバイスシミュレータにより解析した結果を示す。段差量 $\delta \leq 0$ のMOSトランジスタは、本実施形態のそれとは異なり、上面位置 $P_{ins.}$ が上面位置 $P_{Si}$ と同じか、または上面位置 $P_{Si}$ よりも低いタイプのものである。

【0175】図21には、シミュレーション条件も示してある。その他の条件は以下の通りである。すなわち、寸法65はゲート酸化膜63の膜厚と同じである。また、シリコン層61のp型不純物濃度（以下、基板濃度という。）は $6.6 \times 10^{17} \text{ cm}^{-3}$ 、ゲート酸化膜63の膜厚は6nm、ゲート電極64は $7.0 \times 10^{19} \text{ cm}^{-3}$ の濃度の燐を含むポリシリコン膜、素子分離絶縁膜62の埋め込まれた部分の膜厚（トレンチの深さ）は300nm、ゲート酸化膜63および素子分離絶縁膜62はTEOS膜（比誘電率：3.9）である。

【0176】図21から、 $20 \text{ nm} \leq \delta$ の領域において、しきい電圧 $V_{th}$ の段差量 $\delta$ に対する変動が小さくなっていることが分かる。これは、この領域ではコーナートランジスタの影響によるしきい電圧 $V_{th}$ の低下の影響を効果的に回避できるからであると考えられる。段差量 $\delta$ をゲート酸化膜63の膜厚 $t_{ox}$ に置き換えると、上記不等式は $3 t_{ox} \leq \delta$ となる。

【0177】また、図21から、 $30 \text{ nm}$ を越える範囲ではしきい電圧 $V_{th}$ の段差量 $\delta$ に対する変動がさらに小さくなっていることが分かる。ただし、段差量 $\delta$ が大きすぎると露光焦点がぼけたり、あるいは素子領域の開口部の側壁に不要なゲートポリシリコンが残り、ショートを起こす場合がある。このようなプロセス上の観点から、段差量 $\delta$ の上限は $100 \text{ nm}$ が好ましく、 $50 \text{ nm}$ 以下がより好ましい。

【0178】なお、段差量 $\delta \leq 0$ の構造の場合には、後述するように、段差量 $\delta \leq 50 \text{ nm}$ 以下であることが好ましい。

【0179】本実施形態によれば、 $20 \sim 30 \text{ nm}$ の段差量 $\delta$ を選択することにより、プロセスばらつきに伴って変わる段差量 $\delta$ が $\sigma$ 値で $10 \text{ nm}$ 程度ばらついたとしても、デバイスの特性であるしきい電圧 $V_{th}$ に与える影響、すなわちしきい電圧 $V_{th}$ のばらつきを $50 \text{ mV}$ 以下に抑制することが可能である。

【0180】また、しきい電圧 $V_{th}$ の制御性を改善できることから、オフリーク電流および飽和電流のばらつきを改善できる。

24

【0181】また、本素子を実現するために、新たなプロセスを追加する必要が無い。制御すべきプロセスパラメータは段差量 $\delta$ のみである。より詳細には、素子分離に用いる絶縁膜のCMP量等である。したがって、プロセスにかかるコストは従来のまま歩留まりを上げることが可能であり、製造コストの削減化を図れる。

【0182】なお、本実施形態では、ゲート酸化膜の膜厚が6nmの場合について説明したが、6nmよりも薄い場合でも、段差量 $\delta$ を $3 t_{ox} \sim 50 \text{ nm}$ の範囲に設定することにより、しきい電圧 $V_{th}$ のばらつきを小さくできる。段差量 $\delta$ の標準偏差 $\sigma$ が $10 \text{ nm}$ より大きくなるような大きなばらつきを持つような場合については、これを補償するために、 $\sigma$ だけ段差量の設定値をシフトし、 $\sigma + 3 t_{ox} \sim \sigma + 50 \text{ nm}$ 等とすれば良い。

【0183】図21に示した傾向は素子分離溝の深さには依存しないので、素子分離溝の深さの値は任意である。

【0184】図22に、接合深さ $X_j$ の異なるMOSトランジスタについて、それらの段差量 $\delta$ としきい電圧 $V_{th}$ との関係を調べた結果を示す。図から、図21に示した傾向は接合深さ $X_j$ に依存しないことが分かる。したがって、接合深さ $X_j$ の値は任意である。

【0185】図23に、基板濃度 $N_{sub}$ の異なるMOSトランジスタについて、それらの段差量 $\delta$ としきい電圧 $V_{th}$ との関係を調べた結果を示す。図から、図21に示した傾向は基板濃度 $N_{sub}$ に依存しないことが分かる。基板濃度の値が本実施形態と異なる場合、あるいは基板濃度に分布がある場合には、段差量 $\delta$ を $3 t_{ox} \sim 50 \text{ nm}$ の範囲に設定することにより、しきい電圧 $V_{th}$ のばらつきを小さくできる。

【0186】さらに、図23から、段差量 $\delta \leq 0 \text{ nm}$ の場合、すなわち上面位置 $P_{Si}$ が上面位置 $P_{ins.}$ よりも高い場合でも、段差量 $\delta$ の標準偏差を $\delta / 10$ 程度にコントロールすれば、段差量 $\delta \leq 10 \text{ nm}$ の範囲においてしきい電圧 $V_{th}$ のばらつきを $50 \text{ mV}$ 以下にすることも可能である。

【0187】段差量が負となるような構造、すなわちゲート電極が素子領域を囲むような構造においては、段差量の増加によって縦方向に延びたゲートがコーナ部空乏化に寄与のあるうちはしきい電圧 $V_{th}$ の急激な低下として観測されるが、基板濃度と酸化膜厚等できまる一定値を超えれば、それは縦方向のトランジスタをオンするだけでコーナ部に影響をもたらない。偏差をしきい電圧 $V_{th}$ のばらつきが小さくなることが分かる。その理由は以下のように考えられる。

【0188】なお、本発明は、上記実施形態に限定されるものではない。例えば、上記実施形態では、トランジスタの高性能化を図るために、しきい電圧のばらつきを抑制する場合について説明したが、このばらつきの抑制技術と従来技術で述べた低抵抗化の技術を適宜組み合わせ

(14)

25

せても良い。これにより、トランジスタのさらなる高性能化を図ることが可能となる。

【0189】その他、本発明の要旨を逸脱しない範囲で、種々変形して実施できる。

【0190】

【発明の効果】以上詳説したように本発明によれば、素子特性のばらつきの原因となるボイドおよびファセットの発生を防止できるので、素子特性のばらつきを効果的に抑制できるようになる。

【0191】また、本発明によれば、素子分離絶縁膜の上面位置とMOS型素子が形成された半導体層（素子領域の半導体層）の上面位置との差を所定値にすることによって、素子特性のばらつきを効果的に抑制できるようになる。

【図面の簡単な説明】

【図1】本発明の第1の実施形態に係る素子分離構造の形成方法を示す工程断面図

【図2】図1に続く同素子分離構造の形成方法を示す工程断面図

【図3】本発明の第2の実施形態に係る素子分離構造の形成方法を示す工程断面図

【図4】本発明の第3の実施形態に係る素子分離構造の形成方法を示す工程断面図

【図5】図4に続く同素子分離構造の形成方法を示す工程断面図

【図6】本発明の第4の実施形態に係るMOSトランジスタの製造方法を示す工程断面図

【図7】図6に続く同MOSトランジスタの製造方法を示す工程断面図

【図8】図7に続く同MOSトランジスタの製造方法を示す工程断面図

【図9】図8に続く同MOSトランジスタの製造方法を示す工程断面図

【図10】本発明の方法および従来の方法で形成したMOSトランジスタのしきい値電圧 $V_{th}$ のゲート長依存性を示す図

【図11】本発明の第5の実施形態に係る素子分離構造の形成方法を示す工程断面図

【図12】図11に続く同素子分離構造の形成方法を示す工程断面図

【図13】本発明の第6の実施形態に係る素子分離構造の形成方法を示す工程断面図

【図14】本発明の第7の実施形態に係る素子分離構造の形成方法を示す工程断面図

【図15】本発明の第8の実施形態に係る半導体装置の製造方法を示す工程断面図

【図16】本発明の第9の実施形態に係る素子分離構造の形成方法を示す工程断面図

【図17】図16に続く同素子分離構造の形成方法を示す工程断面図

26

【図18】発明の第10の実施形態に係る素子分離構造の形成方法を示す工程断面図

【図19】本発明の第11の実施形態に係るMOSトランジスタを説明するための断面図

【図20】図19のMOSトランジスタを改良したMOSトランジスタを示す断面図

【図21】段差量 $\delta$ としきい電圧 $V_{th}$ との関係を三次元デバイスシミュレータにより解析した結果を示す図

【図22】接合深さ $X_j$ の異なるMOSトランジスタについて、それらの段差量 $\delta$ としきい電圧 $V_{th}$ との関係を調べた結果を示す図

【図23】基板濃度 $N_{sub}$ の異なるMOSトランジスタについて、それらの段差量 $\delta$ としきい電圧 $V_{th}$ との関係を調べた結果を示す図

【図24】従来のSTIによる素子分離方法の問題点を説明するための断面図

【図25】従来の他のSTIによる素子分離方法の問題点を説明するための断面図

【図26】図24、図25の従来の素子分離方法で生じるディフュージョンを示す断面図

【図27】ディフュージョンにより生じる問題点を説明するためのドレイン電流のゲート電圧依存性を示す特性図

【図28】従来の他のSTIによる素子分離方法の問題点を説明するための断面図

【図29】従来の他のSTIによる素子分離方法の問題点を説明するための断面図

【符号の説明】

1…シリコン基板

2…熱酸化膜

3…エピタキシャル層

4…シリコン膜

11…シリコン基板

12…単結晶絶縁膜

13…酸化膜（素子分離絶縁膜）

14…エピタキシャル層

21…シリコン基板

22…熱酸化膜

23…エピタキシャル層

24…シリコン膜

25…熱酸化膜

26…ダミーゲート膜

27…ソース・ドレイン領域（エクステンション領域）

28…ゲート側壁絶縁膜

29…ソース・ドレイン領域

30…層間絶縁膜

31…開口部

32…イオン

33…チャネル不純物ドーピング層

34…ゲート絶縁膜

35…TiN膜

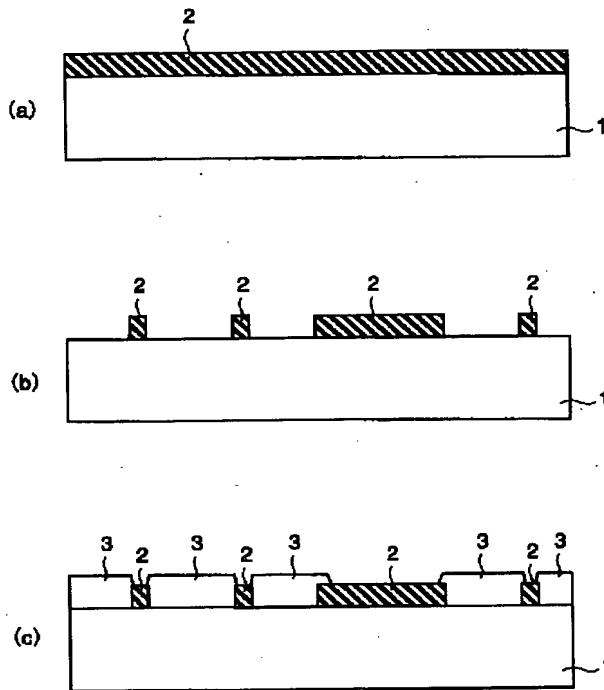


(15)

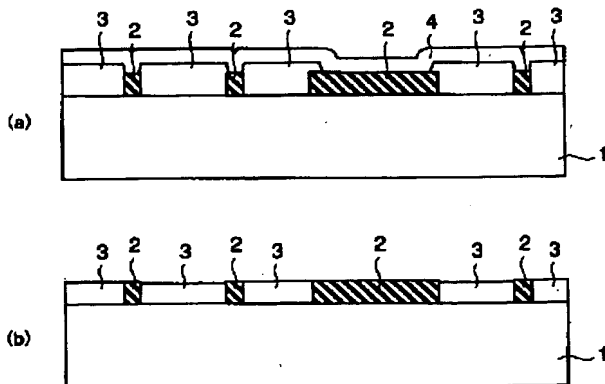
27

- 3 6…ゲート電極  
 4 1…シリコン基板  
 4 2…熱酸化膜  
 4 3…シリコン窒化膜  
 4 4…開口部  
 4 5…エピタキシャル層  
 4 6…酸化層

【図1】



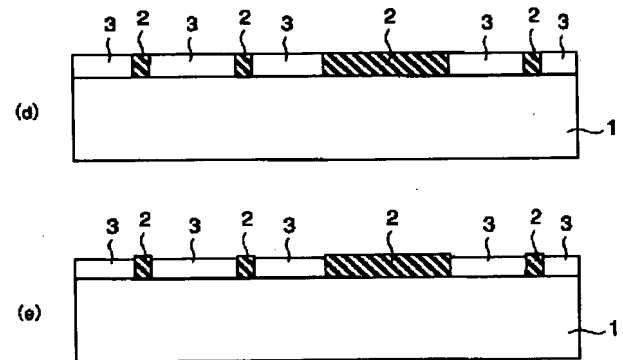
【図3】



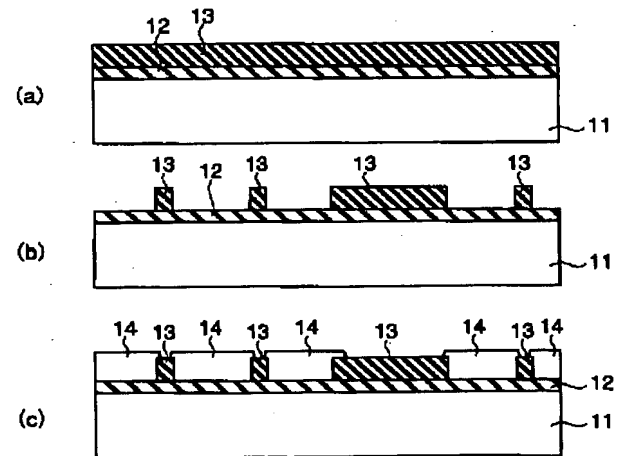
28

- 4 7…開口部  
 4 8…SiO<sub>2</sub>膜  
 4 9, 5 0…シリコン窒化膜  
 6 1…シリコン層  
 6 2…シリコン酸化膜 (素子分離絶縁膜)  
 6 3…ゲート酸化膜  
 6 4…ゲート電極

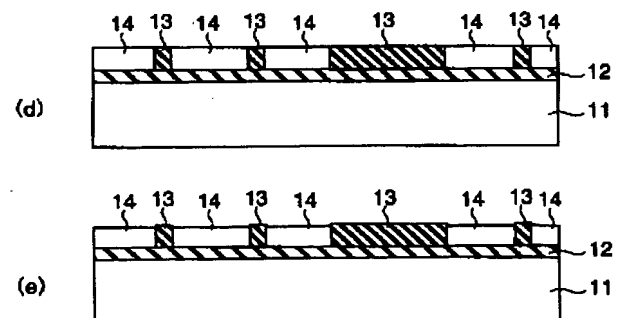
【図2】



【図4】

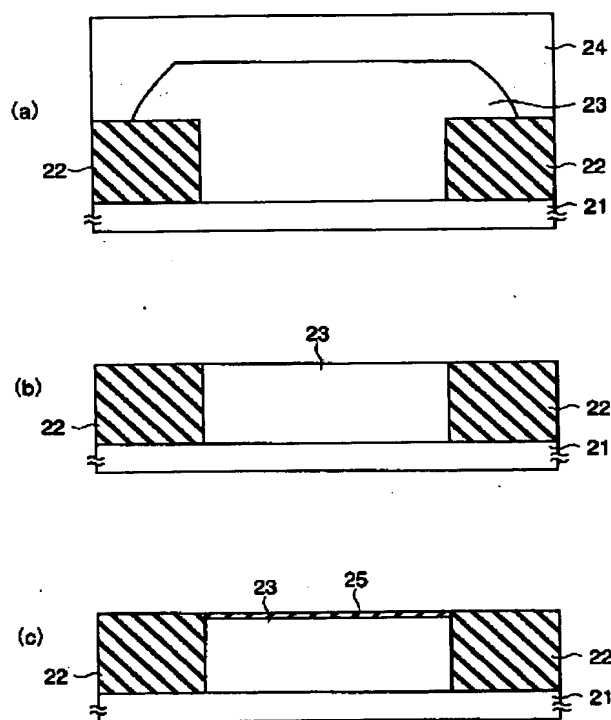


【図5】

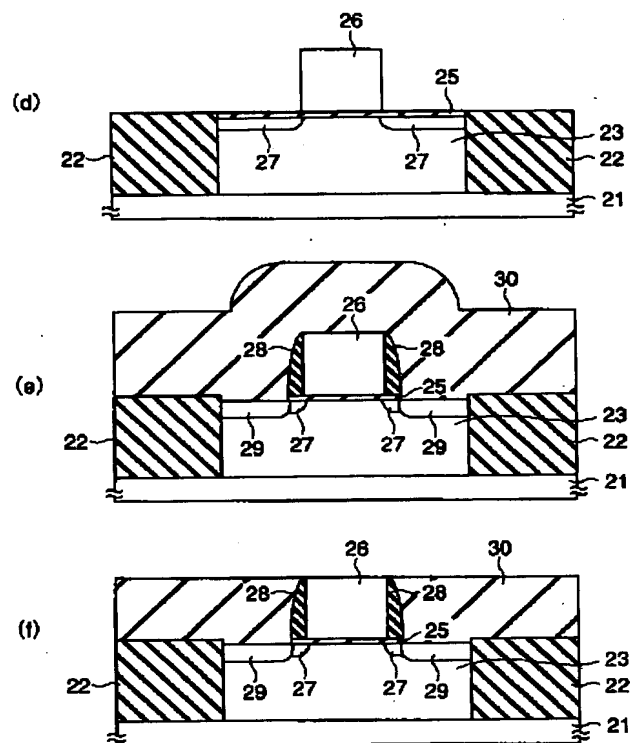


(16)

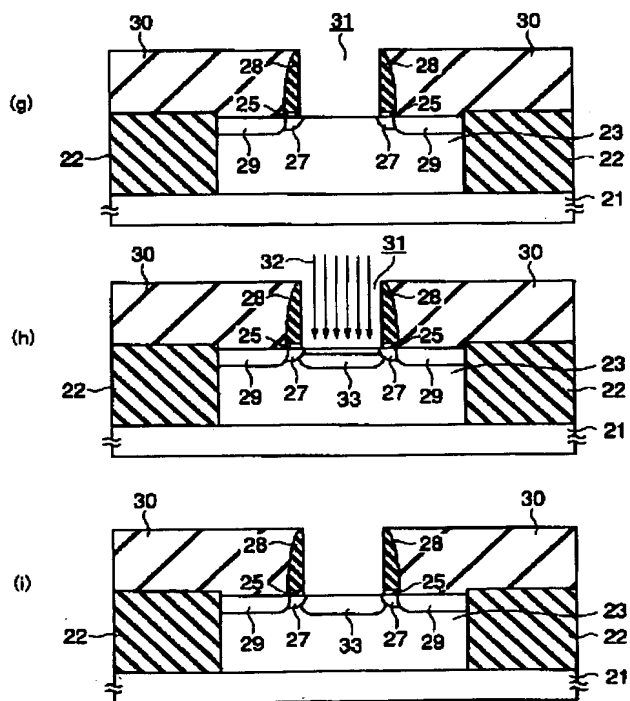
【図6】



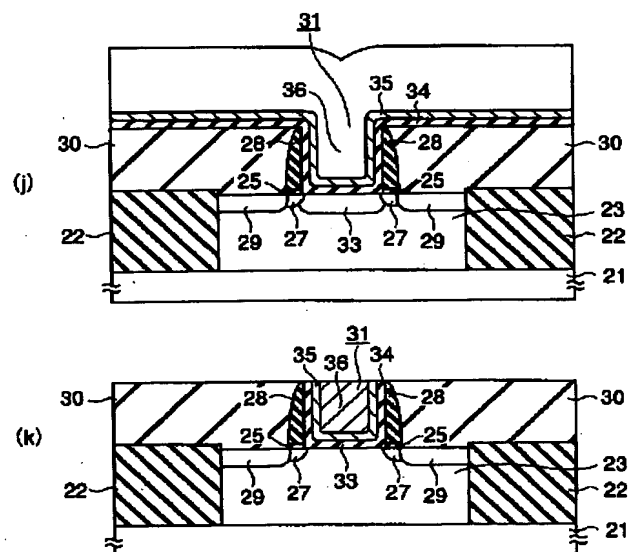
【図7】



【図8】

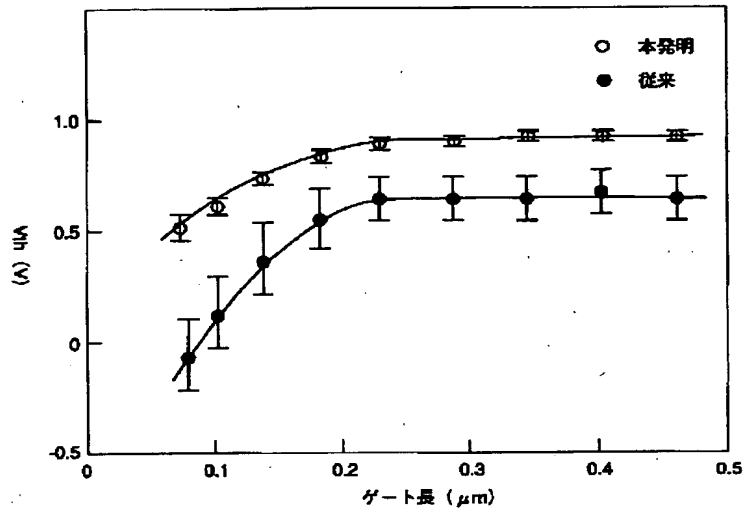


【図9】

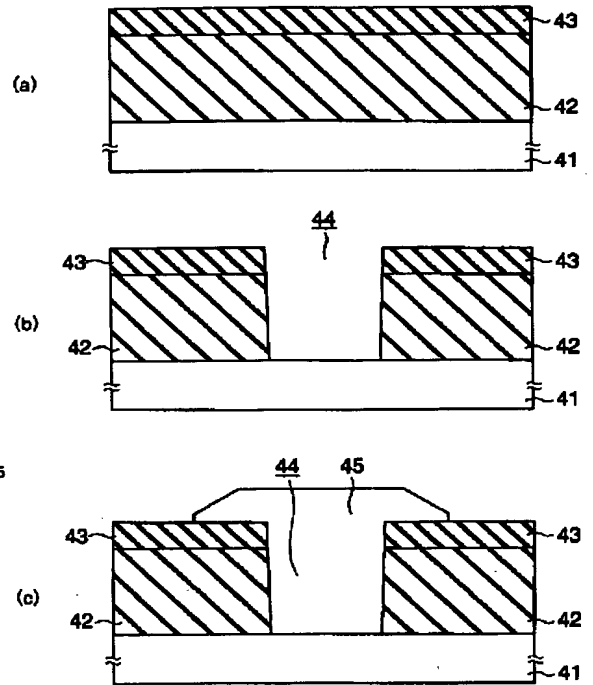


(17)

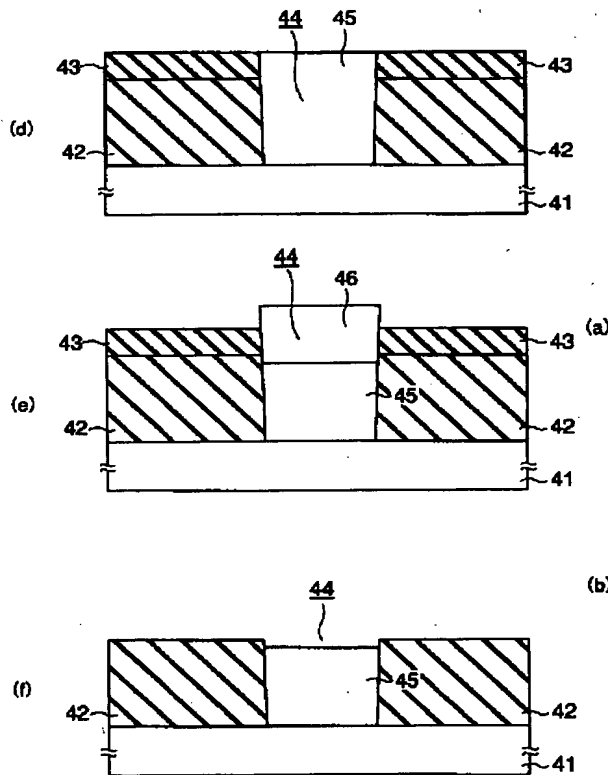
【図10】



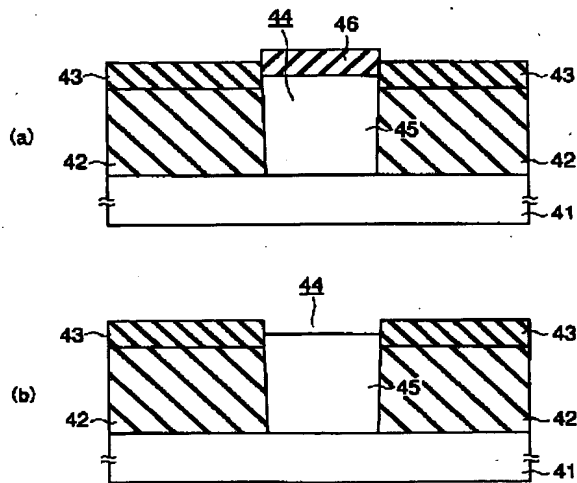
【図11】



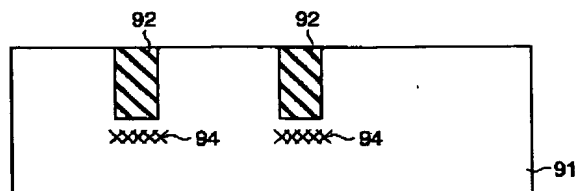
【図12】



【図13】

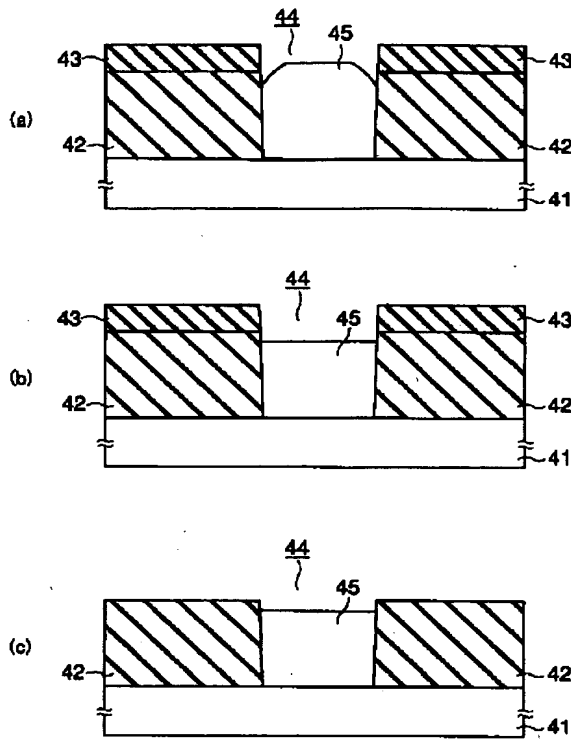


【図25】

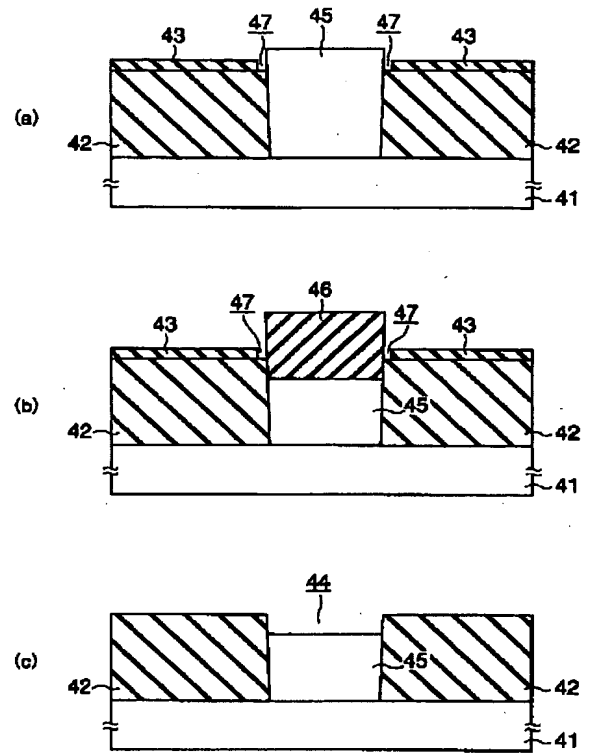


(18)

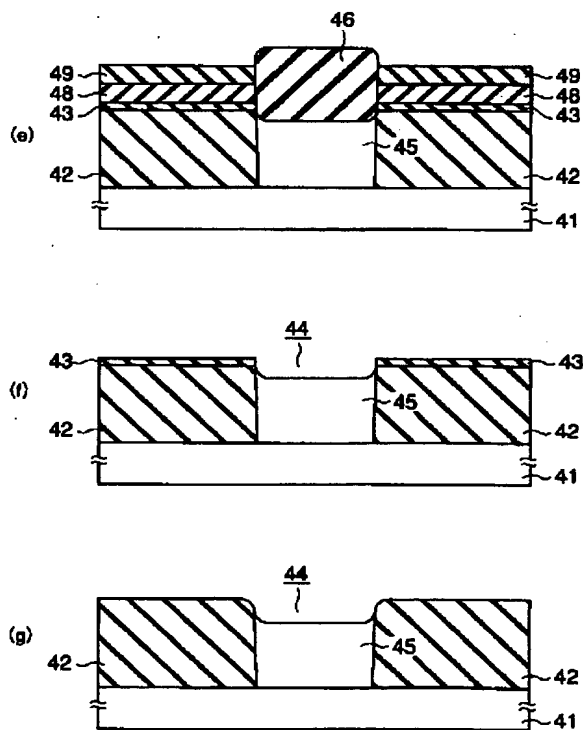
【図14】



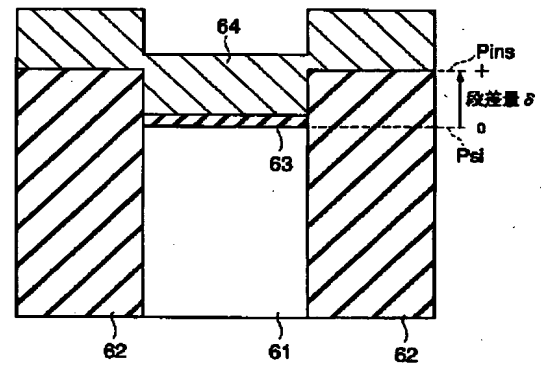
【図15】



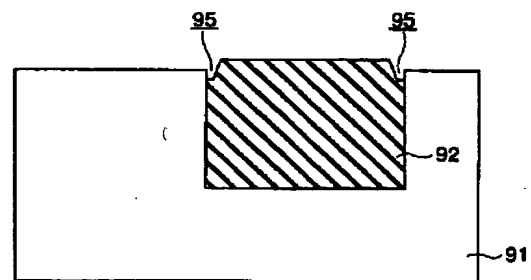
【図17】



【図19】

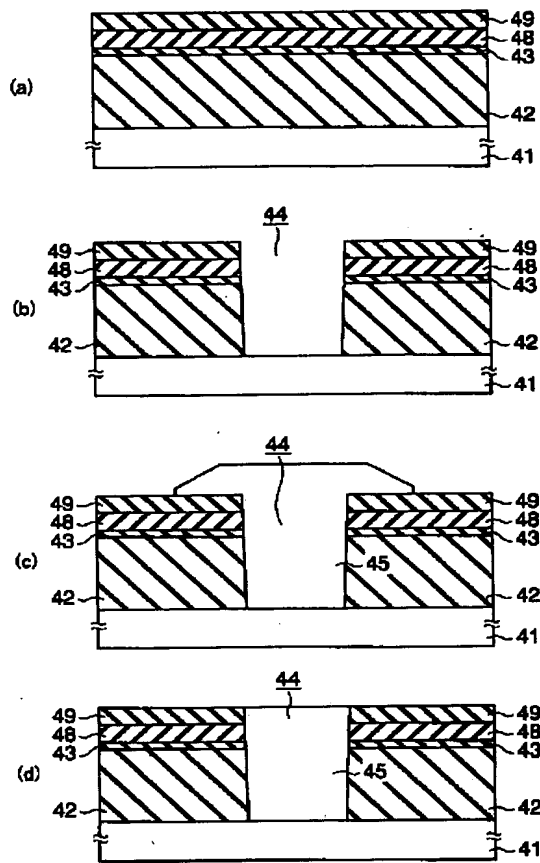


【図26】

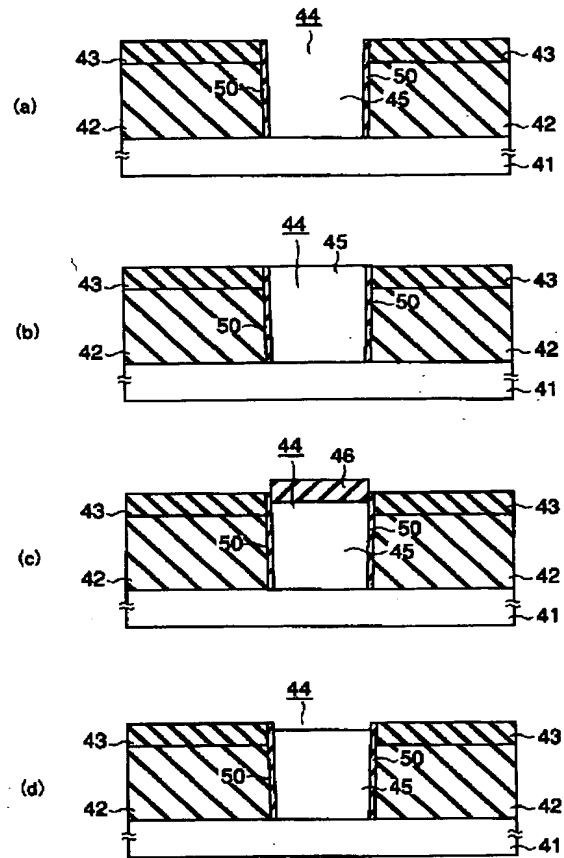


(19)

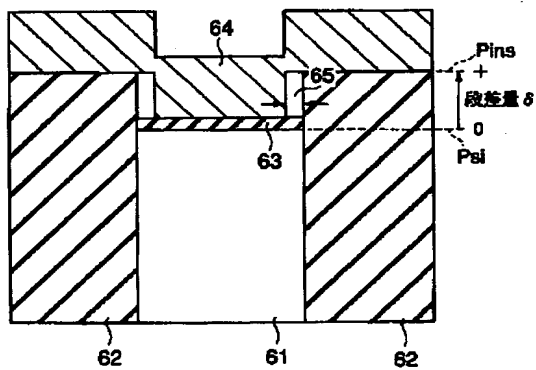
【図 16】



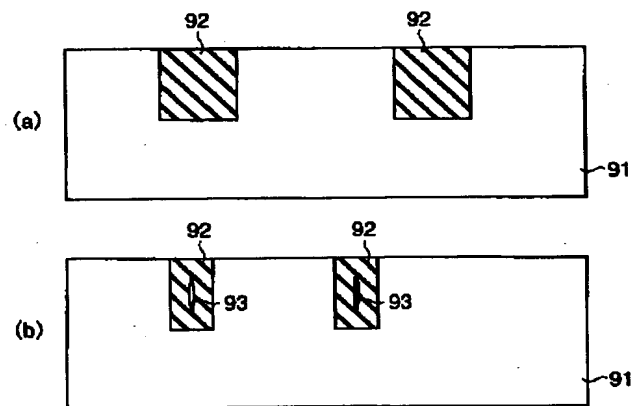
【図 18】



【図 20】

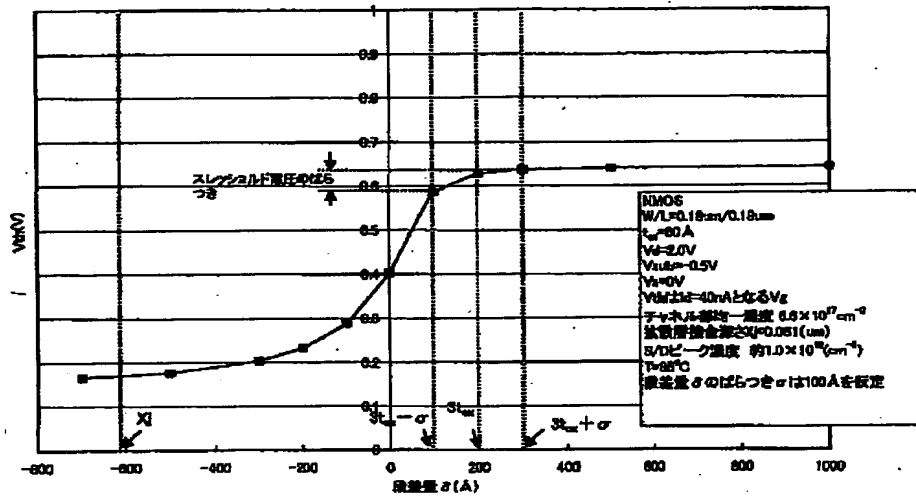


【図 24】

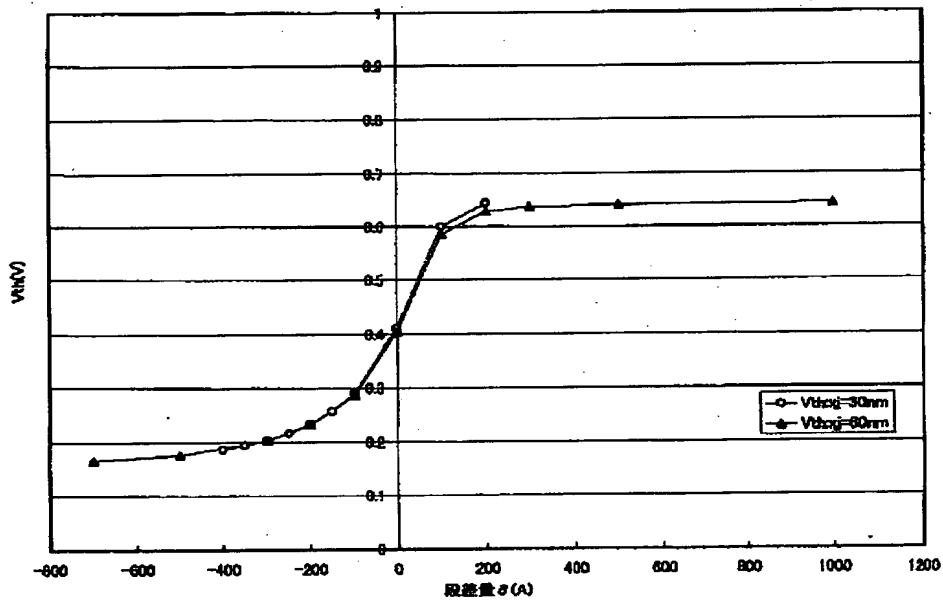


(20)

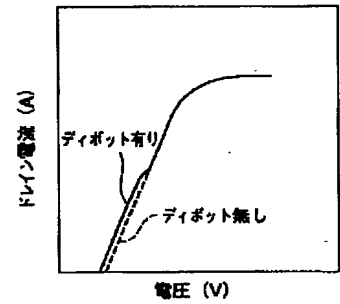
【図21】



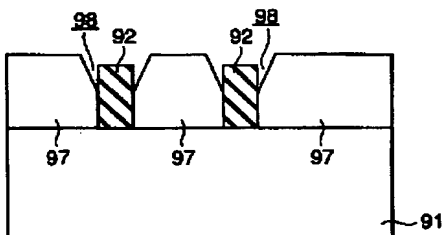
【図22】



【図27】

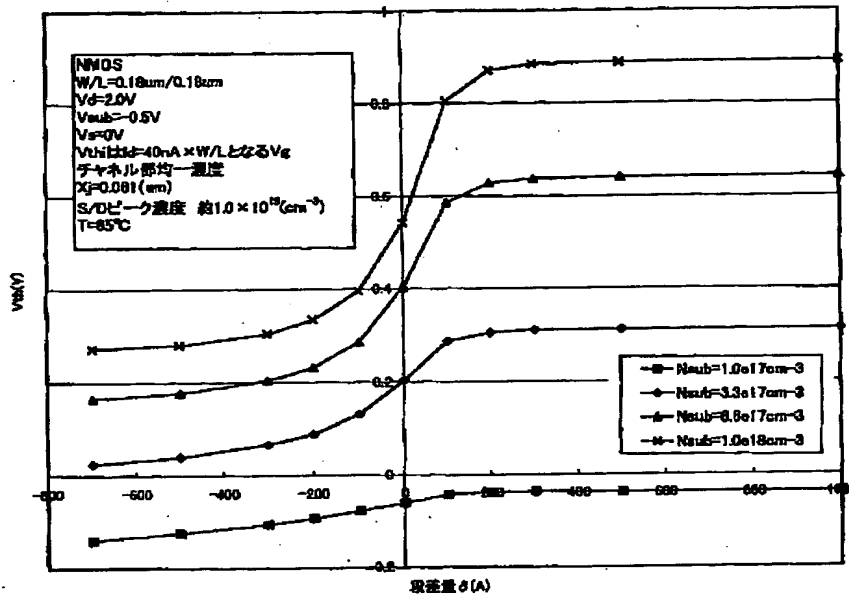


【図29】

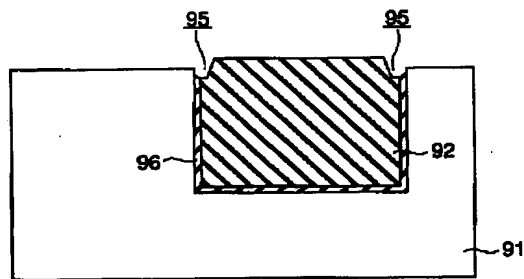


(21)

【図23】



【図28】



フロントページの続き

- (72)発明者 水島 一郎  
 神奈川県横浜市磯子区新杉田町8番地 株  
 式会社東芝横浜事業所内  
 (72)発明者 網島 祥隆  
 神奈川県横浜市磯子区新杉田町8番地 株  
 式会社東芝横浜事業所内  
 (72)発明者 平岡 孝之,  
 神奈川県横浜市磯子区新杉田町8番地 株  
 式会社東芝横浜事業所内

- (72)発明者 有門 経敏  
 神奈川県横浜市磯子区新杉田町8番地 株  
 式会社東芝横浜事業所内  
 Fターム(参考) 5F032 AA10 AA82 CA05 CA17 DA02  
 DA23 DA24 DA25 DA33 DA53  
 DA74 DA78  
 5F040 DA06 DC01 EC01 EC02 EC03  
 EC04 EC07 EC13 ED03 EF02  
 EK00 FA01 FA02 FB02 FB05  
 FC10

**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

☒ **BLACK BORDERS**

☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**

☒ **FADED TEXT OR DRAWING**

☒ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**

☐ **SKEWED/SLANTED IMAGES**

☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**

☐ **GRAY SCALE DOCUMENTS**

☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**

☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**

☐ **OTHER:** \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.